

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Tetsujiro KONDO et al.
International Application No.: PCT/JP2003/015976
International Filing Date: December 12, 2003
For: IMAGE PROCESSING DEVICE

745 Fifth Avenue
New York, NY 10151

EXPRESS MAIL

Mailing Label Number: EV723350600US

Date of Deposit: June 23, 2005

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop PCT, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Barnet Shindlman
(Typed or printed name of person mailing paper or fee)

Barnet Shindlman
(Signature of person mailing paper or fee)

CLAIM OF PRIORITY UNDER 37 C.F.R. § 1.78(a)(2)

Mail Stop PCT
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Pursuant to 35 U.S.C. 119, this application is entitled to a claim of priority to Japanese Application No. 2002-374862 filed on December 25, 2002.

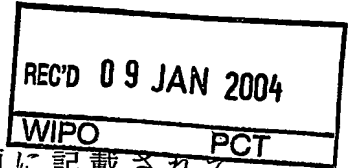
Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By: William S. Frommer
William S. Frommer
Reg. No. 25,506
Tel. (212) 588-0800

12.12.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2002年12月25日

出 願 番 号
Application Number: 特願2002-374862
[ST. 10/C]: [JP2002-374862]

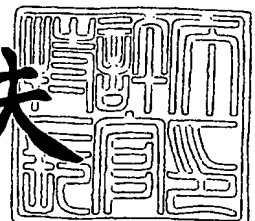
出 願 人
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月 1日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0100507702

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/82

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 近藤 哲二郎

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 佐藤 浩

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100090376

【弁理士】

【氏名又は名称】 山口 邦夫

【電話番号】 03-3291-6251

【選任した代理人】

【識別番号】 100095496

【弁理士】

【氏名又は名称】 佐々木 榮二

【電話番号】 03-3291-6251

【手数料の表示】

【予納台帳番号】 007548

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 画像データを取り扱う画像処理を行うための各プロセスを生成し、該各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、

上記プロセスデータに従って上記プロセスを実行する、直列接続された複数個の実行手段とを備え、

上記プロセスデータは、該プロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、

所定数の連続する実行手段の組毎に、該組の入力側に、入力プロセスデータを該組の入力側または出力側に選択的に供給するルート選択手段が挿入され、

上記ルート選択手段は、

直後に位置する組を構成する各実行手段のアドレスを記憶する第 1 のアドレス記憶手段と、

入力プロセスデータに含まれる実行手段のアドレスに上記第 1 のアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき一の状態となる判定信号を出力する第 1 のアドレス判定手段と、

上記第 1 のアドレス判定手段より出力される判定信号に基づき、上記判定信号が上記一の状態であるとき、上記入力プロセスデータを上記直後に位置する組の入力側に供給し、上記判定信号が上記一の状態でないとき、上記入力プロセスデータを上記直後に位置する組の出力側に供給する第 1 の切り換え手段とを有することを特徴とする画像処理装置。

【請求項 2】 上記複数個の実行手段のそれぞれは、

入力プロセスデータに含まれる命令に従って画像データの処理を行い、その処理結果に基づいて上記入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、該出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、

自己のアドレスを記憶する第 2 のアドレス記憶手段と、

上記入力プロセスデータに含まれる実行手段のアドレスに上記第2のアドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力する第2のアドレス判定手段と、

上記第2のアドレス判定手段より出力される判定信号および上記処理手段より出力される要求信号に基づき、上記要求信号が上記一の状態であるとき、上記処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態でないとき、上記入力プロセスデータを出力プロセスデータとして出力する第2の切り換え手段とを有する

ことを特徴とする請求項1に記載の画像処理装置。

【請求項3】 上記複数個の実行手段のそれぞれは、画像データを記憶するデータ記憶手段をさらに有し、

上記処理手段は、上記画像データの処理として、上記データ記憶手段への画像データの書き込み、該データ記憶手段からの画像データの読み出し、または画像データの差分の演算のうちいずれかの処理を行う

ことを特徴とする請求項2に記載の画像処理装置。

【請求項4】 上記第2の切り換え手段は、

上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態であるときは、ハイレベルまたはローレベルのデータを出力する

ことを特徴とする請求項2に記載の画像処理装置。

【請求項5】 上記画像処理は、動きベクトルを検出する処理である

ことを特徴とする請求項1に記載の画像処理装置。

【請求項6】 画像データを取り扱う画像処理を行うための各プロセスを生成し、該各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、

上記プロセスデータに従って上記プロセスを実行する、直列接続された複数個の実行手段とを備え、

上記プロセスデータは、該プロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、

上記複数個の実行手段のそれぞれは、

入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて上記入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、該出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、

自己のアドレスを記憶するアドレス記憶手段と、

上記入力プロセスデータに含まれる実行手段のアドレスに上記アドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力するアドレス判定手段と、

上記アドレス判定手段より出力される判定信号および上記処理手段より出力される要求信号に基づき、上記要求信号が上記一の状態であるとき、上記処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態でないとき、上記入力プロセスデータを出力プロセスデータとして出力する切り換え手段とを有する

ことを特徴とする画像処理装置。

【請求項 7】 上記複数個の実行手段のそれぞれは、画像データを記憶するデータ記憶手段をさらに有し、

上記処理手段は、上記画像データの処理として、上記データ記憶手段への画像データの書き込み、該データ記憶手段からの画像データの読み出し、または画像データの差分の演算のうちいずれかの処理を行う

ことを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】 上記切り換え手段は、

上記要求信号が上記一の状態でなく、かつ上記判定信号が上記一の状態であるときは、ハイレベルまたはローレベルのデータを出力する

ことを特徴とする請求項 6 に記載の画像処理装置。

【請求項 9】 上記画像処理は、動きベクトルを検出する処理である

ことを特徴とする請求項 6 に記載の画像処理装置。

【発明の詳細な説明】

【 0 0 0 1 】**【発明の属する技術分野】**

この発明は、例えば動きベクトルの検出処理等に適用して好適な画像処理装置に関する。

【 0 0 0 2 】

詳しくは、この発明は、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、所定数の連続する実行手段の組毎に、その入力側にルート選択手段を挿入し、ルート選択手段は、入力プロセスデータに係るプロセスを直後に位置する組を構成する実行手段で実行しないときは、当該入力プロセスデータを当該直後に位置する組の出力側に供給することによって、処理時間の短縮および消費電力の低減を図るようにした画像処理装置に係るものである。

【 0 0 0 3 】

また、この発明は、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにあつて、実行手段は、入力プロセスデータに係るプロセスを自己が実行しないときは、当該入力プロセスデータを直ちに出力プロセスデータとして出力することによって、処理時間の短縮を図るようにした画像処理装置に係るものである。

【 0 0 0 4 】**【従来の技術】**

例えば、画像符号化方式としての M P E G (Moving Picture Experts Group) では、ある大きさのブロックのうちの、注目している注目ブロックについて、動きベクトルが検出され、さらに、その動きベクトルに基づいて動き補償が行われることで、注目ブロックの予測画像が求められる。そして、M P E G では、注目ブロックの各画素と、予測画像の対応する画素との差分が演算され、その差分値が符号化されることで、高能率圧縮が実現されている。

【 0 0 0 5 】

動きベクトルの検出アルゴリズムとしては、例えば、ブロックマッチング法が知られている。

【0006】

例えば、いま、図14に示すように、第 f フレームのあるブロックを、注目ブロックとするとともに、第 $f+1$ フレームを、動きベクトルの検出のために参照する参照フレームとして、第 $f+1$ フレームから第 f フレームに向かう動きベクトルを、注目ブロックの動きベクトルとして検出する場合、ブロックマッチング法では、第 $f+1$ フレームの、注目ブロックの位置を中心とする所定の範囲が、動きベクトルの探査を行う探査範囲として設定される。さらに、第 $f+1$ フレームの探査範囲から、注目ブロックと同一の大きさのブロックが、注目ブロックの予測画像の候補である候補ブロックとして選択され、注目ブロックと候補ブロックとの差分に関する差分情報が求められる。

【0007】

すなわち、例えば、注目ブロックおよび候補ブロックが、横×縦が 4×4 画素のブロックであるとする、図15に示すように、注目ブロックの各画素と、候補ブロックの対応する画素との差分が求められ、その差分の絶対値（差分絶対値）が求められる。さらに、その差分絶対値の総和が求められ、探査範囲に選択し得る候補ブロックの全てについて、上述のような差分絶対値の総和が求められる。

【0008】

そして、探査範囲に選択しうる候補ブロックの中で、差分絶対値の総和を最小にする候補ブロック（以下、適宜、「最小候補ブロック」という）が求められ、その最小候補ブロックから注目ブロックに向かうベクトルが、注目ブロックの動きベクトルとして求められる。

【0009】

なお、探査範囲としては、注目ブロックおよび候補ブロックよりも大きな範囲が用いられ、注目ブロックおよび候補ブロックが、上述したように、 4×4 画素のブロックであるとする、例えば、 30×30 画素乃至 50×50 画素程度の範囲が、探査範囲として用いられる。

【0010】

図16は、ブロックマッチング法により動きベクトルを求める、従来の動きベクトル検出装置の一例の構成を示している。

図16の動きベクトル検出装置は、画像データを記憶する画像メモリ201と、その画像データを用いて演算を行うことにより動きベクトルを求める動きベクトル抽出部202とから構成されており、画像メモリ201と、動きベクトル抽出部202とは、データバスを介して接続されている。

【0011】

以上のように構成される動きベクトル検出装置では、画像メモリ201に、注目フレームと参照フレームの画像データが記憶される。そして、動きベクトル抽出部202は、画像メモリ201から、注目ブロックと候補ブロックを、データバスを介して読み出し、その注目ブロックと候補ブロックとの差分絶対値の総和を求める。さらに、動きベクトル抽出部202は、探査範囲内に選択しうる候補ブロックの中で、差分絶対値の総和を最小にする候補ブロック（最小候補ブロック）を求め、その最小候補ブロックから注目ブロックに向かうベクトルを、注目ブロックの動きベクトルとして求めて出力する。

【0012】

【発明が解決しようとする課題】

図16の動きベクトル検出装置において、動きベクトルを検出する場合、画像メモリ201からは、頻繁に、大量の画像データが読み出され、データバスを介して、動きベクトル抽出部202に供給される。

【0013】

一方、画像データを記憶する画像メモリ201は、一般に、複数個のメモリ（半導体メモリ）で構成される。すなわち、図16では、画像メモリ201は、6個のメモリ201₁～201₆で構成されている。

【0014】

画像メモリ201を構成するメモリ201₁～201₆のそれぞれは、比較的広い面積を占有するから、メモリ201₁～201₆のそれぞれから、動きベクトル抽出部202に画像データを転送するには、メモリ201₁～201₆のそれぞれ

と動きベクトル抽出部 202 とを結ぶデータバスとしては、比較的長いものが必要となる。そして、長いデータバスを駆動する場合には、種々の問題が生じることとなる。

【0015】

具体的には、データバスが長い場合、そのデータバスを構成する配線と基板との間の容量が大になり、データの転送に、大きな遅延（配線遅延）が生じる。さらに、データバスを構成する配線どうしの間に生じる容量によって、配線どうしの間に、クロストークが生じることとなる。そして、近年においては、半導体プロセスの微細化が進行しており、配線の間のクロストークが大きな問題となってきた。

【0016】

すなわち、半導体プロセスの微細化により、配線どうしの間隔が狭くなると、配線の抵抗（配線抵抗）が大となるから、これを防止するために、配線の厚さを厚くする必要がある。そして、配線どうしの間隔が狭くなり、かつ配線の厚さが厚くなると、配線どうしの間の容量が大となり、クロストークを無視することができなくなる。

【0017】

さらに、従来においては、配線について生じる配線容量については、配線と基板との間の容量を考慮すれば良く、また、基板の電位は一定なので、画像メモリ 201 のシミュレーションを行う場合に、配線容量は、それほど大きな問題とならなかった。

【0018】

しかしながら、配線容量として、上述のように、配線どうしの間の容量が大となって支配的になると、注目している配線に隣接した配線における信号遷移の仕方によって、注目している配線の見かけの容量が変化し、配線遅延も変化することから、シミュレーションを行うことが困難となる。

【0019】

また、画像メモリ 201 のデータバスが長いと、その配線端での反射による信号波形の乱れが顕著になる。

【0020】

そこで、図17に示すように、画像メモリ201と動きベクトル抽出部202との間に、キャッシュメモリ203を設けて、動きベクトル検出装置を構成する方法がある。

【0021】

図17の動きベクトル検出装置において、キャッシュメモリ203は、動きベクトル抽出部202で頻繁に用いられる画像データを、画像メモリ201から読み出して記憶する。そして、動きベクトル抽出部202は、キャッシュメモリ203に記憶された画像データを用い、ブロックマッチング法により動きベクトルを求める。

【0022】

図17の動きベクトル検出装置では、画像メモリ201からキャッシュメモリ203に転送されて記憶された画像データについては、画像メモリ201から読み出す必要がないので、長いデータバスを介して画像メモリ201から画像データを読み出す際の、上述した問題の頻度を低減することができる。

【0023】

しかしながら、この場合、画像メモリ201とは別に、キャッシュメモリ203という冗長なメモリが必要となり、そのオーバヘッドが問題となる。

【0024】

そこで、本出願人は、先に、動きベクトルの検出処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものを提案した（特願2002-236877号参照）。これによれば、例えば、長いデータバスやキャッシュメモリの不要な設計容易なハードウェアによって、動きベクトルを検出することができる。

【0025】

この発明は、上述したように、プロセスデータをプロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにおいて、さらに処理時間の短縮を図ることを目的とする。

【0026】

【課題を解決するための手段】

この発明に係る画像処理装置は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、プロセスデータに従ってプロセスを実行する、直列接続された複数個の実行手段とを備え、プロセスデータは、このプロセスデータに係るプロセスを実行するための実行手段のアドレスを含み、所定数の連続する実行手段の組毎に、この組の入力側に、入力プロセスデータをこの組の入力側または出力側に選択的に供給するルート選択手段が挿入されるものである。そして、ルート選択手段は、直後に位置する組を構成する各実行手段のアドレスを記憶する第1のアドレス記憶手段と、入力プロセスデータに含まれる実行手段のアドレスに第1のアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき一の状態となる判定信号を出力する第1のアドレス判定手段と、この第1のアドレス判定手段より出力される判定信号に基づき、判定信号が一の状態であるとき、入力プロセスデータを直後に位置する組の入力側に供給し、判定信号が一の状態でないとき、入力プロセスデータを直後に位置する組の出力側に供給する第1の切り換え手段とを有するものである。

【0027】

この発明において、プロセス生成手段は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力する。このように順次出力されるプロセスデータがプロセスを実行する直列接続された複数個の実行手段を移動していくことで、画像処理が行われる。画像処理は、例えば動きベクトルを検出するための画像処理である。

【0028】

複数個の実行手段は、所定数の連続する実行手段の組に分けられる。そして、各組毎に、その組の入力側に、入力プロセスデータをその組の入力側または出力側に選択的に供給するルート選択手段が挿入される。

【0029】

ルート選択手段は、直後に位置する組を構成する各実行手段のアドレスを記憶

する第1のアドレス記憶手段を有している。また、プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段のアドレスを含んでいる。

【0030】

ルート選択手段は、入力プロセスデータに含まれる実行手段のアドレスにアドレス記憶手段に記憶されているアドレスの少なくともいずれかが存在するとき、入力プロセスデータを直後に位置する組の入力側に供給し、そうでないときは入力プロセスデータを直後に位置する組の出力側に供給する。

【0031】

これにより、プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段が存在しない組をバイパスして移動していくので、処理時間を短縮できる。また、プロセスデータの無駄な移動がなくなるので、消費電力を低減できる。

【0032】

また、この発明に係る画像処理装置は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力するプロセス生成手段と、プロセスデータに従ってプロセスを実行する、直列接続された複数個の実行手段とを備え、プロセスデータは、このプロセスデータに係るプロセスを実行するための実行手段のアドレスを含むものである。そして、複数個の実行手段のそれぞれは、入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、この出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する処理手段と、自己のアドレスを記憶するアドレス記憶手段と、入力プロセスデータに含まれる実行手段のアドレスにアドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力するアドレス判定手段と、このアドレス判定手段より出力される判定信号および処理手段より出力される要求信号に基づき、要求信号が一の状態であるとき、処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、要求信号が一の状態でなく、かつ判定信号が一の状態でないとき、入力プロセスデータを出力プロセスデータとして出力する

切り換え手段とを有するものである。

【0033】

この発明において、プロセス生成手段は、画像データを取り扱う画像処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセスデータを順次出力する。このように順次出力されるプロセスデータがプロセスを実行する直列接続された複数個の実行手段を移動していくことで、画像処理が行われる。プロセスデータは、そのプロセスデータに係るプロセスを実行するための実行手段のアドレスを含んでいる。

【0034】

複数個の実行手段のそれぞれは、例えば画像データを記憶するデータ記憶手段をさらに有し、画像データの処理として、データ記憶手段への画像データの書き込み、このデータ記憶手段からの画像データの読み出し、または画像データの差分の演算のうちいずれかの処理を行う。画像処理は、例えば動きベクトルを検出するための画像処理である。

【0035】

複数個の実行手段のそれぞれは、処理手段、アドレス記憶手段、アドレス判定手段および切り換え手段を有している。処理手段は、入力プロセスデータに含まれる命令に従って画像データの処理を行って、その処理結果に基づいて入力プロセスデータを変更して出力すべきプロセスデータを得ると共に、この出力すべきプロセスデータを出力するとき一の状態となる要求信号を出力する。アドレス判定手段は、入力プロセスデータに含まれる実行手段のアドレスに、アドレス記憶手段に記憶されている自己のアドレスが存在するとき一の状態となる判定信号を出力する。

【0036】

そして、切り換え手段は、要求信号が一の状態であるとき、処理手段で得られた出力すべきプロセスデータを出力プロセスデータとして出力し、要求信号が一の状態でなく、かつ判定信号が一の状態でないとき、入力プロセスデータを出力プロセスデータとして出力する。

【0037】

これにより、プロセスデータは、そのプロセスデータに係るプロセスを実行するものではない実行手段に入力されたとき、直ちに次の実行手段に移動するようにされるので、処理時間を短縮できる。

【0038】

なお、切り換え手段は、要求信号が一の状態ではなく、かつ判定信号が一の状態であるときは、ハイレベルまたはローレベルのデータを出力するようにしてもよい。この場合、実行手段に入力されるプロセスデータに係るプロセスが、その実行手段で実行される。入力プロセスデータを後段に供給しない場合および処理手段からの出力すべきプロセスデータを後段に供給しない状態では、ハイレベルまたはローレベルのデータが出力されるので、後段に誤ったプロセスデータが供給されることを防止できる。

【0039】

【発明の実施の形態】

以下、この発明の実施の形態を図面を参照して説明する。

図1は、実施の形態としての動きベクトル検出装置100の構成を示している。この動きベクトル検出装置100では、上述したブロックマッチング法によって動きベクトルが検出される。

【0040】

この動きベクトル検出装置100は、動きベクトルを検出する処理を行うための各プロセスを生成し、その各プロセスを実行する命令を含むパケットであるプロセスパケット（プロセスデータ）を順次出力するプロセス生成部101を有している。このプロセス生成部101には動きベクトルの検出対象である画像データが供給される。プロセス生成部101は、必要に応じて、プロセスパケットにその画像データも配置する。

【0041】

また、動きベクトル検出装置100は、プロセスパケットに従ってプロセスを実行する、直列接続された複数個、本実施の形態では12個の演算処理ユニット102₁～102₁₂を有している。演算処理ユニット102₁～102₁₂は、それぞれ実行手段を構成している。これら12個の演算処理ユニット102₁～10

212は、プロセス生成部101の後段に接続されている。

【0042】

演算処理ユニット102_n (n=1~12) は、前段の演算処理ユニット102_{n-1} (またはルート選択部) から供給されるプロセスパケットを受信し、そのプロセスパケットに含まれる命令にしたがった処理を行う。また、演算処理ユニット102_nは、必要に応じて、その処理結果を、プロセスパケットに配置し、後段の演算処理ユニット102_{n+1} (またはルート選択部、または集計部) に供給する。これにより、最後の演算処理ユニット10212は、後述するように、注目ブロックとある候補ブロックとの差分絶対値の総和を配置したプロセスパケットを出力する。ルート選択部および集計部については後述する。

【0043】

また、動きベクトル検出装置100は、3個のルート選択部1041~1043を有している。上述の12個の演算処理ユニット1021~10212は、4個の連続する演算処理ユニットの組に分けられる。すなわち、ユニット1021~1024の組102aと、ユニット1025~1028の組102bと、ユニット1029~10212の組102cとに分けられる。上述した3個のルート選択部1041~1043は、それぞれ組102a~102cの入力側に挿入される。なお、組の個数は3個でなくてもよく、また各組を構成する演算処理ユニット102_nの個数は同じでなくてもよい。

【0044】

ルート選択部1041~1043のそれぞれは、入力プロセスパケットを直後に位置する組102a~102cの入力側または出力側に選択的に供給する。つまり、ルート選択部1041~1043のそれぞれは、入力プロセスパケットに係るプロセスを実行する演算処理ユニット102_nが直後に位置する組102a~102cに存在するときその入力プロセスパケットをその組の入力側に供給し、そうでないときその入力プロセスパケットをその組の出力側に供給する。

【0045】

また、動きベクトル検出装置100は、集計部103を有している。この集計部103は、最後の演算処理ユニット10212の出力側に接続されており、この

演算処理ユニット 102₁₂が出力するプロセスパケットに配置された注目ブロックと候補ブロックとの差分絶対値の総和から、動きベクトルを求めて出力する。

【0046】

ここで、上述したプロセス生成部 101 より出力されて、演算処理ユニット 101₁~102₁₂を移動していく、プロセスパケットのフォーマットを説明する。図2は、プロセスパケットのフォーマット例を示している。

【0047】

プロセスパケットは、例えば、その先頭から、処理ユニットアドレス部、PID (Process Identification) 部、状態部、命令部、アドレス部、データ部が、順次設けられて構成されている。

【0048】

処理ユニットアドレス部には、当該プロセスパケットに係るプロセスを実行するための一個または複数個の演算処理ユニットのアドレスが配置される。

【0049】

PID部には、PIDが配置される。ここで、PIDとしては、ある注目ブロックの動きベクトルを求めるまでに行うべき個々のプロセスを区別することができる情報であれば、どのような情報でも採用することが可能である。すなわち、PIDとして、例えば、注目ブロックの位置を表すアドレスと、候補ブロックの位置を表すアドレスとの組み合わせなどを採用することが可能である。

【0050】

また、注目ブロックに対する候補ブロックに、例えば通し番号となるような番号情報を与えておく場合には、PIDとして、その番号情報を採用することが可能である。なお、PIDとして、番号情報を採用する場合、集計部 103 において、全ての通し番号のプロセスパケットが揃うことにより、ある注目ブロックについて、探査範囲で選択可能なすべての候補ブロックとの間の差分絶対値和の総和が得られたことを認識することが可能となる。

【0051】

状態部は、例えば、画像書き込み状態部、画像読み出し状態部、注目ブロック読み出し状態部、候補ブロック読み出し状態部、差分絶対値演算状態部から構成

される。

【0052】

画像書き込み状態部には、後述する演算処理ユニット 102_n のメモリ 120 に対して、ある画像データの書き込みが、まだ行われていないことを表す状態情報「未」、その画像データの書き込みが行われている途中であることを表す状態情報「中」、その画像データの書き込みが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

【0053】

すなわち、例えば、いま、演算処理ユニット 102_n を構成するメモリ 120 を、メモリ 120_n と表すこととして、ある画像データを、例えば、演算処理ユニット 102_i のメモリ 120_i と演算処理ユニット 102_j のメモリ 120_j の2つに分けて書き込む場合を考えると、メモリ 120_i とメモリ 120_j のいずれにも画像データが書き込まれていない場合、画像書き込み状態部には、状態情報「未」がセットされる。また、メモリ 120_i とメモリ 120_j のうちのいずれか一方だけに画像データが書き込まれた場合、画像書き込み状態部には、状態情報「中」がセットされる。さらに、メモリ 120_i とメモリ 120_j の両方に画像データが書き込まれた場合、画像書き込み状態部には、状態情報「終」がセットされる。

【0054】

なお、状態部にセットされる状態情報は、演算処理ユニット 102_n に対して、画像データの書き込みなどの状態がどのようなになっているかを知らせるメッセージの役割を果たす。

【0055】

画像読み出し状態部には、メモリ 120 からの、ある画像データの読み出しが、まだ行われていないことを表す状態情報「未」、その画像データの読み出しが行われている途中であることを表す状態情報「中」、その画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

【0056】

注目ブロック読み出し状態部には、メモリ 120 からの、注目ブロックの画像

データの読み出しが、まだ行われていないことを表す状態情報「未」、注目ブロックの画像データの読み出しが行われている途中であることを表す状態情報「中」、注目ブロックの画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

【0057】

候補ブロック読み出し状態部には、メモリ120からの、候補ブロックの画像データの読み出しが、まだ行われていないことを表す状態情報「未」、候補ブロックの画像データの読み出しが行われている途中であることを表す状態情報「中」、候補ブロックの画像データの読み出しが終了したことを表す状態情報「終」のうちのいずれかがセットされる。

【0058】

差分絶対値演算状態部には、ある注目ブロックと候補ブロックとの差分絶対値の総和（差分絶対値和）の演算が、まだ行われていないことを表す状態情報「未」、差分絶対値和の演算が行われている途中であることを表す状態情報「中」、差分絶対値和の演算が終了したことを表す状態情報「終」のうちのいずれかがセットされる。

【0059】

ここで、状態情報は、例えば、2ビットとし、「未」、「中」、「終」には、それぞれ「11」、「10」、「00」を割り当てることができる。

【0060】

命令部には、行うべき処理を指示する命令が配置される。ここで、命令としては、例えば、メモリ120への画像データの書き込みを指示する書き込み命令、メモリ120からの画像データの読み出しを指示する読み出し命令、注目ブロックと候補ブロックとの差分絶対値和の演算を指示する差分絶対値和演算命令、各候補ブロックについて求められた差分絶対値和のうちの最小値を求め、その最小値に基づいて、注目ブロックの動きベクトルを求めることを指示する最小値判定命令の4つの命令が、少なくとも用意されている。

【0061】

なお、命令が、上述の書き込み命令、読み出し命令、差分絶対値和演算命令、

および最小値判定命令の4 ($=2^2$) つである場合には、命令部は、2ビットで十分である。ただし、命令部は、将来の命令の種類の拡張も考慮して、2ビットより多い、例えば、4ビットなどとしておくことが望ましい。

【0062】

アドレス部は、フィールド指定部、読み出しアドレス部、書き込みアドレス部、注目ブロックアドレス部、候補ブロックアドレス部から構成される。

【0063】

フィールド指定部には、候補ブロックのフィールドを表すフィールド情報がセットされる。すなわち、本実施の形態では、後述するように、演算処理ユニット102_nのメモリ120に、5フィールドの画像データが記憶されるが、フィールド指定部には、そのメモリ120に記憶された画像データのうち、候補ブロックが存在するフィールドを表すフィールド情報がセットされる。なお、5フィールドの画像データを記憶する場合、フィールド情報は、3ビットで十分であるが、将来の拡張を考慮して、3ビットより多い、例えば、4ビットなどとするのが望ましい。

【0064】

読み出しアドレス部には、メモリ120から画像データを読み出す場合に、すなわち、命令部に読み出し命令がセットされている場合に、その画像データを読み出すメモリ120のアドレスが配置される。

【0065】

書き込みアドレス部には、メモリ120に画像データを書き込む場合に、すなわち、命令部に書き込み命令がセットされている場合に、その画像データを書き込むメモリ120のアドレスが配置される。

【0066】

注目ブロックアドレス部には、注目ブロックのアドレスが配置される。ここで、注目ブロックのアドレスとしては、例えば、その注目ブロックのフィールド（注目フィールド）における、注目ブロックの左上の画素の位置を表す位置情報を採用することができる。したがって、例えば、1フィールドが、 720×240 画素で構成されると共に、注目ブロックが、 4×2 画素で構成されるものとする

と、注目ブロックのアドレスは、 $21600 (= 720 / 4 \times 240 / 2)$ 通りが存在するから、15ビットで表すことができる。

【0067】

候補ブロックアドレス部には、候補ブロックのアドレスが配置される。ここで、候補ブロックのアドレスとしては、例えば、その候補ブロックのフィールド（参照フィールド）における、候補ブロックの左上の画素の位置を表す位置情報を採用することができる。従って、例えば、上述のように、1フィールドが、 720×240 画素で構成されるものとする、候補ブロックのアドレスは、 $172800 (= 720 \times 240)$ 通りが存在するから、18ビットで表すことができる。

【0068】

データ部は、注目ブロックデータ部、候補ブロックデータ部、差分絶対値和部、候補ベクトル部から構成される。

【0069】

注目ブロックデータ部には、注目ブロックの画像データ、即ち、注目ブロックを構成する画素（の画素値）が配置される。従って、例えば、上述のように、注目ブロックが、 4×2 画素で構成されるものとし、また、1画素に、例えば、8ビットが割り当てられているとした場合には、注目ブロックデータ部は、 $64 (= 4 \times 2 \times 8)$ ビットで構成されることになる。

【0070】

候補ブロックデータ部には、候補ブロックの画像データ、即ち、候補ブロックを構成する画素が配置される。従って、候補ブロックが、例えば、上述のように、注目ブロックと同様の 4×2 画素で構成されるものとし、また、1画素に、例えば、8ビットが割り当てられているとした場合には、候補ブロックデータ部は、注目ブロックデータ部と同様に、 $64 (= 4 \times 2 \times 8)$ ビットで構成されることになる。

【0071】

差分絶対値和部には、注目ブロックと候補ブロックの差分絶対値和が配置される。ここで、上述のように、例えば、1画素に8ビットが割り当てられている場

合、注目ブロックのある画素とその画素に対応する候補ブロックの画素の差分絶対値は、9ビットで表される。

【0072】

候補ベクトル部には、候補ブロックから注目ブロックに向かうベクトルが、注目ブロックの動きベクトルの候補（候補ベクトル）として配置される。なお、候補ベクトルは、注目ブロックアドレス部に配置された注目ブロックのアドレスと、候補ブロックアドレス部に配置された候補ブロックのアドレスとから求めることが可能である。また、例えば、いま、探査範囲を、 63×63 画素以下とすると、候補ベクトルのx方向（横方向）成分と、y方向（縦方向）成分は、いずれも、6ビットで表すことができるから、候補ベクトル部は、12（ $= 6 + 6$ ）ビットで構成することができる。

【0073】

次に、図3のフローチャートを参照して、上述したプロセス生成部101が、ある1つのブロックを注目ブロックとして、その注目ブロックの動きベクトルを検出するために行う処理（プロセス生成処理）について説明する。

【0074】

まず最初に、ステップS1において、プロセス生成部101は、注目ブロックが存在する注目フィールドのうちの注目ブロックの画像データと、候補ブロックが存在する参照フィールドのうちの探査範囲の画像データとを、少なくとも、メモリ120に書き込む書き込みプロセスの一部または全部を生成し、その書き込みプロセスを実行する書き込み命令を含むプロセスパケットを生成して、ステップS2に進む。

【0075】

なお、プロセス生成部101は、ステップS1において、図2に示したプロセスパケットの命令部に書き込み命令を配置する他、メモリ120に書き込む注目ブロックや候補ブロックの画像データを、注目ブロックデータ部や候補ブロックデータ部に配置すると共に、その画像データを書き込むメモリ120のアドレスを、書き込みアドレス部に配置する。

【0076】

また、プロセス生成部101は、処理ユニットアドレス部に、その書き込みプロセスを実行する一個または複数の演算処理ユニット102_nのアドレスを配置する。さらに、プロセス生成部101は、必要に応じて、プロセスパケットの状態部に、状態情報を配置する。

【0077】

ステップS2では、プロセス生成部101は、直前のステップS1で生成したプロセスパケットを出力して、ステップS3に進む。

【0078】

ステップS3では、プロセス生成部101は、必要な画像データ、すなわち、ここでは、注目ブロックの画像データと、候補ブロックが存在する参照フィールドのうちの探索範囲の画像データとを、少なくとも、メモリ120に書き込むためのプロセスの全てを生成したかどうかを判定する。ステップS3において、必要な画像データをメモリ120に書き込むためのプロセスの全てを、まだ生成していないと判定した場合、ステップS1に戻り、プロセス生成部101は、必要な画像データをメモリ120に書き込むためのプロセスのうち、まだ書き込まれていない画像データを書き込むためのプロセスを生成し、以下、同様の処理を繰り返す。

【0079】

また、ステップS3において、プロセス生成部101は、必要な画像データをメモリ120に書き込むためのプロセスの全てを生成したと判定した場合、ステップS4に進む。ステップS4では、プロセス生成部101は、探索範囲内に選択し得るある候補ブロックから、注目ブロックへのベクトル（候補ベクトル）について、注目ブロックと候補ブロックとの差分絶対値和を求めるための差分絶対値和演算プロセスを生成し、その差分絶対値和演算プロセスを実行する差分絶対値和演算命令を含むプロセスパケットを生成して、ステップS5に進む。

【0080】

なお、プロセス生成部101は、ステップS4において、図2に示したプロセスパケットの命令部に差分絶対値和演算命令を配置する他、メモリ120に書き込まれた注目ブロックや候補ブロックのアドレスを、注目ブロックアドレス部や

候補ブロックアドレス部に配置するとともに、候補ベクトルを、候補ベクトル部に配置する。

【0081】

また、プロセス生成部101は、処理ユニットアドレス部に、その差分絶対値和演算プロセスを実行する一個または複数個の演算処理ユニット102_nのアドレスを配置する。さらに、プロセス生成部101は、候補ブロックのフィールドを表すフィールド情報を、フィールド指定部に配置すると共に、必要に応じて、プロセスパケットの状態部に、状態情報を配置する。

【0082】

ステップS5では、プロセス生成部101は、直前のステップS4で生成したプロセスパケットを出力して、ステップS6に進む。

【0083】

ステップS6では、プロセス生成部101は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成したかどうかを判定する。

【0084】

ステップS6において、プロセス生成部101は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを、まだ生成していないと判定した場合、ステップS4に戻り、まだ差分絶対値和演算プロセスを生成していない候補ベクトルについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成し、以下、同様の処理を繰り返す。

【0085】

また、ステップS6において、プロセス生成部101は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を演算するための差分絶対値和演算プロセスを生成したと判定した場合、ステップS7に進む。

【0086】

ステップS7では、プロセス生成部101は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて求められた差分絶対値和のうちの最小値を

求め、その最小値に基づいて、注目ブロックの動きベクトルを求める最小値判定プロセスを生成し、その最小値判定プロセスを実行する最小値判定命令を含むプロセス packets を生成して、ステップ S 8 に進む。

【0087】

ステップ S 8 では、プロセス生成部 101 は、ステップ S 7 で生成したプロセス packets を出力し、その後処理を終了する。

【0088】

図 1 に示す動きベクトル検出装置 100 において、上述したようにプロセス生成部 101 は、動きベクトルを検出する処理を行うための各プロセスを生成し、この各プロセスを実行する命令を含むプロセス packets を順次出力する。この各プロセス packets は演算処理ユニット 102₁～102₁₂を移動していき、これにより、演算処理ユニット 102₁～102₁₂において動きベクトルを検出するための各プロセスが順次実行されていく。

【0089】

そして、最終的に、注目ブロックの探査範囲内に選択し得る候補ベクトルのそれぞれについての差分絶対値和が配置されたプロセス packets が集計部 103 で受信される。集計部 103 は、最小値判定命令を含むプロセス packets を受信すると、差分絶対値和演算プロセスに対応するプロセス packets から、最小の差分絶対値和が配置されているものを選択し、そのプロセス packets に配置されている候補ベクトルを注目ブロックの動きベクトルとして出力する。

【0090】

なお、本実施の形態では、プロセス生成部 101 より出力される各プロセス packets が演算処理ユニット 102₁～102₁₂の全てを移動していくわけではない。ルート選択部 104₁～104₃により、各プロセス packets は、適宜バイパスされて移動していく。

【0091】

すなわち、ルート選択部 104₁～104₃のそれぞれは、入力プロセス packets に係るプロセスを実行する演算処理ユニット 102_nが、直後に位置する組 102a～102c に存在しないときは、当該入力プロセス packets を、その組 1

02a~102cの入力側に供給するのではなく、その組の出力側に供給する。このように、プロセスパケットが、そのプロセスパケットに係るプロセスを実行するための演算処理ユニット102_nが存在しない組をバイパスして移動していくので、処理時間を短縮でき、またプロセスパケットの無駄な移動がなくなるので、消費電力を低減できる。

【0092】

次に、ルート選択部104_n (n=1~3)の詳細を説明する。図4は、ルート選択部104_nの構成例を示している。

【0093】

このルート選択部104_nは、前段のプロセス生成部101 (またはルート選択部、または演算処理ユニット) からデータバスを介して供給されるプロセスパケット (入力プロセスパケット) を保持するFIFO (First-In First-Out) メモリ131を有している。FIFOメモリ131は、そこに供給されるシステムクロックに同期して、入力プロセスパケットを取り込み、一時的に記憶する。

【0094】

また、ルート選択部104_nは、アドレス記憶部132およびアドレス判定部133を有している。アドレス記憶部132には、予め、直後に位置する組に存在する全ての演算処理ユニット102_nのアドレスが記憶されている。例えば、ルート選択部104₁に関しては、アドレス記憶部132には、直後に対応する組102aに存在する演算処理ユニット102₁~102₄のアドレスが記憶されている。ルート選択部104₂, 104₃に関しても同様である。

【0095】

アドレス判定部133は、FIFOメモリ131より出力されるプロセスパケットP_Peに係るプロセスが、このルート選択部104_nの直後に位置する組に存在する演算処理ユニット102_nのいずれかで実行されるものであるか否かを判定する。

【0096】

すなわち、アドレス判定部133は、FIFOメモリ131より出力されるプロセスパケットP_Peの処理ユニットアドレス部 (図2参照) に記憶されている

一個または複数個のアドレスに、アドレス記憶部 132 に記憶されているアドレスの少なくともいずれかが存在するか否かを判定し、存在するとき一の状態、例えば「1」となり、存在しないとき他の状態、例えば「0」となる判定信号 s_3 を出力する。

【0097】

また、ルート選択部 104_n は、判定信号 s_3 に基づいて、FIFOメモリ 131 より出力されるプロセスパケット PPe を、当該ルート選択部 104_n の直後に位置する組の入力側または出力側に選択的に供給する、切り換え手段としての切換スイッチ 134 を有している。切換スイッチ 134 は、判定信号 s_3 が「1」であるときは A 側に接続され、判定信号 s_3 が「0」であるときは B 側に接続される。

【0098】

FIFOメモリ 131 の出力側は時間調整用の遅延回路 135 を介して切換スイッチ 134 の可動端子に接続される。この切換スイッチ 134 の A 側の固定端子は当該ルート選択部 104_n の直後に位置する組の入力側に接続され、その B 側の固定端子は、当該ルート選択部 104_n の直後に位置する組の出力側に接続される。

【0099】

上述したようにアドレス判定部 133 では FIFOメモリ 131 より出力されるプロセスパケット PPe の処理ユニットアドレス部に記憶されているアドレスに基づいて、当該プロセスパケット PPe に係るプロセスが、このルート選択部 104_n の直後に位置する組に存在する演算処理ユニット 102_n で実行されるものであるか否かを判定する。そして、後述するように、その判定結果である判定信号 s_3 に基づいて、切換スイッチ 134 の切り換えが制御され、当該プロセスパケット PPe が、当該ルート選択部 104_n の直後に位置する組の入力側または出力側に供給される。

【0100】

少なくとも、アドレス判定部 133 で判定が行われるときには、プロセスパケット PPe の処理ユニットアドレス部の部分は既に FIFOメモリ 131 から出

力された状態にあり、FIFOメモリ131の出力側を切換スイッチ134の可動端子に直接接続したのでは、当該プロセスパケットP P eを欠けなく完全な状態で当該切換スイッチ134から出力できない場合が発生する。

【0101】

上述の時間調整用の遅延回路135は、この当該プロセスパケットP P eを欠けなく完全な状態で切換スイッチ134から出力するためのものであり、少なくとも、FIFOメモリ131より当該プロセスパケットP P eの出力が開始されてからアドレス判定部133で判定結果が出るまでの遅延時間を有するようにされる。

【0102】

図4に示すルート選択部104_nの動作を説明する。

前段のプロセス生成部101（またはルート選択部、または演算処理ユニット）からデータバスを介して供給されるプロセスパケット（入力プロセスパケット）は、FIFOメモリ131に取り込まれて、一時的に記憶される。そして、このFIFOメモリ131より出力されるプロセスパケットP P eは、遅延回路135を介して切換スイッチ134の可動端子に供給される。

【0103】

アドレス判定部133は、プロセスパケットP P eの処理ユニットアドレス部（図2参照）に記憶されているアドレスに、アドレス記憶部132に記憶されているアドレスの少なくともいずれかが存在するか否かを判定する。

【0104】

そして、アドレス判定部133は、肯定の判定結果を得るときは、当該プロセスパケットP P eに係るプロセスは、このルート選択部104_nの直後に位置する組内の演算処理ユニット102_nで実行されるものであるとして、判定信号s₃を「1」にする。これにより、切換スイッチ134はA側に接続され、当該プロセスパケットP P eは切換スイッチ134のA側を介して、当該ルート選択部104_nの直後に位置する組の入力側に供給される。

【0105】

一方、アドレス判定部133は、否定の判定結果を得るときは、当該プロセス

パケット P P e に係るプロセスは、このルート選択部 104_nの直後に位置する組内の演算処理ユニット 102_nで実行されるものではないとして、判定信号 s₃を「0」にする。これにより、切換スイッチ 134はB側に接続され、当該プロセスパケット P P e は切換スイッチ 134のB側を介して、当該ルート選択部 104_nの直後に位置する組の出力側に供給される。

【0106】

次に、演算処理ユニット 102_nの詳細を説明する。図5は、演算処理ユニット 102_nの構成例を示している。

この演算処理ユニット 102_nは、P E (Processing Element) 110およびメモリ 120から構成されている。

【0107】

P E 110は、F I F Oメモリ 111、112および演算部 113とを有している。これら F I F Oメモリ 111、112および演算部 113は直列に接続されている。

【0108】

F I F Oメモリ 111は、前段の演算処理ユニット（またはルート選択部）からデータバスを介して供給されるプロセスパケット（入力プロセスパケット）を保持するためのものである。F I F Oメモリ 111は、そこに供給されるシステムクロックに同期して、入力プロセスパケットを取り込み、一時的に記憶する。

【0109】

F I F Oメモリ 112は、演算部 113に inputs プロセスパケットを保持するためのものである。F I F Oメモリ 112は、そこに供給されるシステムクロックに同期して、F I F Oメモリ 111より順次出力されるプロセスパケット P P a を取り込み一時的に記憶する。

【0110】

演算部 113は、F I F Oメモリ 112から順次出力されるプロセスパケット P P b に含まれる命令に従った処理を行い、処理結果に基づいて当該プロセスパケットを変更して出力すべきプロセスパケット P P c を得るものである。また、この演算部 113は、この出力すべきプロセスパケット P P c を出力するとき一

の状態、例えば「1」となり、その他のとき他の状態、例えば「0」となる要求信号 s_2 を出力する。

【0111】

ここで、演算部 113 は、少なくとも、プロセスパケットに含まれる命令のデコード、デコードされた命令の実行、出力すべきプロセスパケットの生成、プロセスパケットの出力の機能を有する。

【0112】

演算部 113 は、入力プロセスパケット PPb に含まれる命令をデコードし、その命令の実行が可能であれば、その命令を実行する。そして、演算部 113 は、命令を実行することにより行った処理の結果に基づいて入力プロセスパケット PPb を変更して出力すべきプロセスパケット PPc を得、そのプロセスパケット PPc を出力する。

【0113】

なお、演算部 113 は、命令の実行が不可能であれば、入力プロセスパケット PPb をそのまま出力すべきプロセスパケット PPc とし、そのプロセスパケット PPc を出力する。

【0114】

また、演算部 113 は、入力プロセスパケット PPb に含まれる命令の実行は可能であるが、その入力プロセスパケット PPb と同一のプロセスパケットが過去に入力されており、それによる処理を終了しているときは、その入力プロセスパケット PPb に関しては何も処理を行わない。この場合の入力プロセスパケット PPb は不要なプロセスパケットであるからである。

【0115】

メモリ 120 は、演算部 113 とデータバスを介して接続されている。演算部 113 は、必要に応じて、メモリ 120 に画像データを記憶し、あるいはメモリ 120 から画像データを読み出す。すなわち、プロセスパケットに配置される命令の中には、画像データの書き込みを指示する書き込み命令と、画像データの読み出しを指示する読み出し命令とがある。

【0116】

演算部 113 は、プロセスパケットに、書き込み命令と画像データが配置されている場合には、その画像データを、データバスを介し、メモリ 120 に供給して書き込む。また、演算部 113 は、プロセスパケットに、読み出し命令が配置されている場合には、メモリ 120 から、データバスを介して、画像データを読み出し、プロセスパケットに配置する。

【0117】

ここで、本実施の形態では、図 5 に示すように、メモリ 120 は、その記憶領域が 5 つのバンクに分割されており、これにより、5 フィールドの画像データを、別々のバンクに記憶することができる。ただし、メモリ 120 の各バンクは、1 フィールド分の画像データを記憶することができるだけの記憶容量を有している必要はない。

【0118】

本実施の形態では、メモリ 120 の各バンクは、12 個の演算処理ユニット 102₁～102₁₂の合計で、少なくとも探査範囲の画像データを記憶できる記憶容量を有していればよい。つまり、本実施の形態では、1 バンクの記憶容量の 12 倍の記憶容量が、探査範囲の画像データのデータ量以上であればよい。例えば、メモリ 120 の 1 バンクは、1/12 フィールド分の画像データを記憶できる記憶容量とされる。したがって、メモリ 120 としては、図 16 で説明したような配線容量が問題とならないメモリ、すなわち、それほど記憶容量が大きくなり、PE 110 との間のデータバスを短くすることができるメモリを採用できる。

【0119】

また、PE 110 は、アドレス記憶部 114 およびアドレス判定部 115 を有している。アドレス記憶部 114 には、予め、演算処理ユニット 102_n 自体のアドレス、つまり自己のアドレスが記憶されている。

【0120】

アドレス判定部 115 は、FIFO メモリ 111 より出力されるプロセスパケット PP_a に係るプロセスが、この演算処理ユニット 102_n で実行されるものであるか否かを判定する。すなわち、アドレス判定部 115 は、FIFO メモリ 111 より出力されるプロセスパケット PP_a の処理ユニットアドレス部 (図 2

参照)に記憶されている一個または複数個のアドレスに、アドレス記憶部114に記憶されている自己のアドレスが存在するか否かを判定し、存在するとき一の状態、例えば「1」となり、存在しないとき他の状態、例えば「0」となる判定信号 s_1 を出力する。

【0121】

また、PE110は、FIFOメモリ111より出力されるプロセスパケットPPaまたは演算部113より出力されるプロセスパケットPPcを選択的に取り出す、切り換え手段としての切換スイッチ116と、この切換スイッチ116の切り換えを制御する切り換え制御部117とを有している。

【0122】

演算部113の出力側は切換スイッチ116のA側の固定端子に接続され、FIFOメモリ111の出力側は時間調整用の遅延回路118を介して切換スイッチ116のB側の固定端子に接続される。さらに、切換スイッチ116のOFF側の固定端子は電源端子に接続される。つまり、このOFF側の固定端子には、ハイレベル「1」のデータが供給された状態とされる。なお、このOFF側の固定端子を接地し、それにローレベル「0」のデータが供給された状態としてもよい。

【0123】

切換スイッチ116の可動端子が演算処理ユニット102_nの出力端子となる。つまり、この可動端子がデータバスを介して後段の演算処理ユニット（またはルート選択部、または集計部）に接続される。

【0124】

上述したようにアドレス判定部115ではFIFOメモリ111より出力されるプロセスパケットPPaの処理ユニットアドレス部に記憶されているアドレスに基づいて、当該プロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものであるか否かを判定する。

【0125】

そして、後述するように、当該プロセスパケットPPaがこの演算処理ユニット102_nで実行されるものでないとき、当該プロセスパケットPPaを切換ス

スイッチ 116 を介して直ちに後段に出力するものであるが、少なくとも判定時には当該プロセスパケット P P a の処理ユニットアドレス部の部分は既に F I F O メモリ 111 から出力された状態にあり、F I F O メモリ 111 の出力側を切換スイッチ 116 の B 側の固定端子に直接接続したのでは、当該プロセスパケット P P a を欠けなく完全な状態で後段に供給することができない。

【0126】

上述の時間調整用の遅延回路 118 は、この当該プロセスパケット P P a を欠けなく完全な状態で後段に供給するためのものであり、少なくとも、F I F O メモリ 111 より当該プロセスパケット P P a の出力が開始されてからアドレス判定部 115 で判定結果が出るまでの遅延時間を有するようにされる。

【0127】

切り換え制御部 117 には、演算部 113 より出力される要求信号 s_2 およびアドレス判定部 115 より出力される判定信号 s_1 が供給される。そして、切り換え制御部 117 は、要求信号 s_2 が「1」であるときは、判定信号 s_1 が「1」であるか「0」であるかによらず、切換スイッチ 116 が A 側に接続されるように制御する。また、切り換え制御部 117 は、要求信号 s_2 が「0」で、かつ判定信号 s_1 が「0」であるときは、切換スイッチ 116 が B 側に接続されるように制御する。さらに、切り換え制御部 117 は、要求信号 s_2 が「0」で、かつ判定信号 s_1 が「1」であるときは、切換スイッチ 116 が O F F 側に接続されるように制御する。

【0128】

図 6 は、判定信号 s_1 および要求信号 s_2 と、切換スイッチ 116 の切り換える関係を示している。

【0129】

図 5 に示す演算処理ユニット 102_n の動作を説明する。

前段の演算処理ユニット（またはルート選択部）からデータバスを介して供給されるプロセスパケット（入力プロセスパケット）は、F I F O メモリ 111 に取り込まれて、一時的に記憶される。この F I F O メモリ 111 より出力されるプロセスパケット P P a は、F I F O メモリ 112 に取り込まれて、一時的に記

憶される。また、FIFOメモリ111より出力されるプロセスパケットPPaは、遅延回路118を介して切換スイッチ116のB側の固定端子に供給される。

【0130】

FIFOメモリ112から順次出力されるプロセスパケットPPbは、演算部113に供給される。演算部113は、プロセスパケットPPbに含まれる命令をデコードし、その命令の実行が可能であればその命令を実行する。そして、演算部113は、命令を実行することにより行った処理の結果に基づいて入力プロセスパケットPPbを変更して出力すべきプロセスパケットPPcを生成し、そのプロセスパケットPPcを出力する。このプロセスパケットPPcは切換スイッチ116のA側の固定端子に供給される。

【0131】

ただし、演算部113は、入力プロセスパケットPPbに含まれる命令の実行は可能であるが、その入力プロセスパケットPPbと同一のプロセスパケットが過去に入力されており、それによる処理を終了しているときは、その入力プロセスパケットPPbに関しては何も処理を行わない。同一のプロセスパケットか否かは、PID部（図2参照）に配置されたPIDに基づいて行うことができる。

【0132】

一方、演算部113は、その命令の実行が不可能であるときは、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとし、そのプロセスパケットPPcを出力する。

【0133】

演算部113より出力されるプロセスパケットPPcは、切換スイッチ116のA側の固定端子に供給される。演算部113は、このようにプロセスパケットPPcを出力するとき、要求信号s₂を「1」にする。

【0134】

また、アドレス判定部115は、プロセスパケットPPaの処理ユニットアドレス部に記憶されているアドレスにアドレス記憶部114に記憶されている自己のアドレスが存在するか否かを判定する。

【0135】

この場合、アドレス判定部115は、処理ユニットアドレス部に記憶されているアドレスに自己のアドレスが存在するとき、プロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものであるとして、判定信号s₁を「1」にする。一方、アドレス判定部115は、処理ユニットアドレス部に記憶されているアドレスに自己のアドレスが存在しないとき、プロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものではないとして、判定信号s₁を「0」にする。

【0136】

演算部113より出力される要求信号s₂およびアドレス判定部115より出力される判定信号s₁は、切り換え制御部117に供給される。切り換え制御部117は、要求信号s₂が「1」であるとき、切換スイッチ116をA側に接続する。つまり、演算部113がプロセスパケットPPbの処理を終了してプロセスパケットPPcを出力するとき、切換スイッチ116はA側に接続される。この場合、演算部113より出力されるプロセスパケットPPcは、切換スイッチ116のA側を介して後段の演算処理ユニット（またはルート選択部、または集計部）に、出力プロセスパケットとして供給される。

【0137】

また、切り換え制御部117は、要求信号s₂が「0」で、かつ判定信号s₁が「0」であるとき、切換スイッチ116をB側に接続する。つまり、演算部113がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものでないとき、切換スイッチ116はB側に接続される。この場合、そのプロセスパケットPPaは、直ちに切換スイッチ116のB側を介して、後段の演算処理ユニット（またはルート選択部、または集計部）に出力プロセスパケットとして供給される。これにより、処理時間を短縮できる。

【0138】

また、切り換え制御部117は、要求信号s₂が「0」で、かつ判定信号s₁が「1」であるときは、切換スイッチ116をOFF側に接続する。つまり、演算

部 113 がプロセスパケット P P b の処理を行っており、かつ F I F O メモリ 111 より出力されるプロセスパケット P P a に係るプロセスがこの演算処理ユニット 102_n で実行されるものであるとき、切換スイッチ 116 は O F F 側に接続される。この場合、後段の演算処理ユニット（またはルート選択部、または集計部）には、ハイレベル「1」またはローレベル「0」のデータが供給される。これにより、後段の演算処理ユニット（またはルート選択部、または集計部）に、誤ったプロセスパケット、例えば F I F O メモリ 111 より出力されるプロセスパケット P P a（このパケット P P a はこの演算処理ユニット 102_n の演算部 113 で処理する必要があるが、その処理を経ていない）が供給されることを防止できる。

【0139】

次に、図 7 のフローチャートを参照して、図 5 の演算処理ユニット 102_n の演算部 113 にプロセスパケット P P b が入力された場合における、当該演算部 113 が行う処理（プロセス実行処理）について説明する。

【0140】

ステップ S 11 で、演算部 113 は、その入力プロセスパケット P P b に配置された命令をデコードし、ステップ S 12 に進む。ステップ S 12 では、演算部 113 は、ステップ S 11 でデコードした命令の実行が可能かどうかを判定する。

【0141】

演算部 113 は、ステップ S 12 で命令の実行が可能でないと判定するとき、ステップ S 13 ～ S 15 をスキップして、ステップ S 16 に進み、要求信号 s₂ を「1」にする。そして、演算部 113 は、ステップ S 17 で、入力プロセスパケット P P b をそのまま出力すべきプロセスパケット P P c として出力し、その後ステップ S 18 で、要求信号 s₂ を「0」に戻し、処理を終了する。

【0142】

また、演算部 113 は、ステップ S 12 で命令の実行が可能であると判定するとき、ステップ S 13 に進み、その入力プロセスパケット P P b と同一のプロセスパケットが過去に inputs され、処理済みであるか否かを判定する。演算部 113

は処理済みであると判定するとき、その入力プロセスパケット P P b に関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケット P P b は不要なプロセスパケットであり、演算部 113 は、この入力プロセスパケット P P b に対応したプロセスパケットを出力することはない。

【0143】

また、演算部 113 は、ステップ S 13 で処理済みでないと判定するとき、ステップ S 14 に進み、入力プロセスパケット P P b に配置された命令を実行し、その命令にしたがった処理を行う。そして、演算部 113 は、ステップ S 15 で、プロセスパケットに配置された命令にしたがった処理を行うことにより得られたデータを、必要に応じて、入力プロセスパケット P P b に配置し、ステップ S 15 に進む。

【0144】

ステップ S 15 では、演算部 113 は、ステップ S 14 で行った処理に対応して、必要に応じて、入力プロセスパケット P P b の状態部を書き換え、ステップ S 16 に進む。

【0145】

ステップ S 16 では、演算部 113 は、要求信号 s_2 を「1」にする。そして、演算部 113 は、ステップ S 17 で、ステップ S 14, S 15 で変更された入力プロセスパケット P P b を出力すべきプロセスパケット P P c として出力し、その後ステップ S 18 で、要求信号 s_2 を「0」に戻し、処理を終了する。

【0146】

次に、図 8 のフローチャートを参照して、図 5 の演算処理ユニット 102_n の演算部 113 に書き込み命令を有するプロセスパケット P P b が入力された場合における、当該演算部 113 が行う処理（プロセス実行処理）について説明する。

【0147】

なお、この場合、入力プロセスパケット P P b には、書き込み命令の他、メモリ 120 に書き込むべき画像データと、その画像データをメモリ 120 に書き込む書き込みアドレスが、少なくとも配置されているものとする。

【0148】

ステップS11で、演算部113は、その入力プロセスパケットPPbに配置された命令をデコードし、ステップS12に進む。ステップS12では、演算部113は、ステップS11でデコードした命令の実行が可能かどうか、ここでは、入力プロセスパケットPPbに配置されている書き込みアドレスが、演算処理ユニット102_nが有するメモリ120_nのアドレスかどうかを判定する。

【0149】

演算部113は、ステップS12でプロセスパケットに配置されている書き込みアドレスが、演算処理ユニット102_nが有するメモリ120_nのアドレスでないと判定するとき、ステップS13～S15をスキップして、ステップS16に進み、要求信号s₂を「1」にする。そして、演算部113は、ステップS17で、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s₂を「0」に戻し、処理を終了する。

【0150】

また、演算部113は、ステップS12でプロセスパケットに配置されている書き込みアドレスが、演算処理ユニット102_nが有するメモリ120_nのアドレスであると判定するとき、ステップS13に進み、その入力プロセスパケットPPbと同一のプロセスパケットが過去に inputs され、処理済みであるか否かを判定する。演算部113は処理済みであると判定するとき、その入力プロセスパケットPPbに関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケットPPbは不要なプロセスパケットであり、演算部113は、この入力プロセスパケットPPbに対応したプロセスパケットを出力することはない。

【0151】

また、演算部113は、ステップS13で処理済みでないと判定するとき、ステップS14に進み、入力プロセスパケットPPbに配置された命令を実行する。つまり、演算部113は、入力プロセスパケットPPbに配置されている画像データをメモリ120_nに書き込み、ステップS15に進む。

【0152】

ステップS15では、演算部113は、ステップS14で行った処理に対応して、必要に応じて、入力プロセスパケットPPbの状態部を書き換え、ステップS16に進む。

【0153】

ステップS16では、演算部113は、要求信号s₂を「1」にする。そして、演算部113は、ステップS17で、ステップS14、S15で変更された入力プロセスパケットPPbを出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s₂を「0」に戻し、処理を終了する。

【0154】

プロセス生成部101は、図3のプロセス生成処理のステップS1～S3において、書き込み命令を有するプロセスパケット（以下、適宜、「書き込みプロセスパケット」という）を生成して出力する。この書き込みプロセスパケットが、演算処理ユニット102₁～102₁₂を順次移動していくことにより、例えば図9に示すように、少なくとも、注目ブロックと候補ブロックの画像データが、メモリ120に書き込まれる。

【0155】

ここで、図9Aに示すように、注目ブロックの画像データを影を付して表すとともに、候補ブロックの画像データを斜線を付して表すこととすると、図9Bでは、注目ブロックの一部がメモリ120₁に、他の一部がメモリ120₂に、さらに他の一部がメモリ120₅に、残りがメモリ120₆に、それぞれ書き込まれ、候補ブロックの一部がメモリ120₃に、他の一部がメモリ120₄に、さらに他の一部がメモリ120₇に、残りがメモリ120₈に、それぞれ書き込まれている。

【0156】

次に、図10のフローチャートを参照して、図5の演算処理ユニット102_nの演算部113に読み出し命令を有するプロセスパケットPPbが入力された場合における、当該演算部113が行う処理（プロセス実行処理）について説明する。

【0157】

なお、この場合、入力プロセスパケット P P b には、読み出し命令の他、メモリ 120 から読み出すべき画像データの読み出しアドレスが、少なくとも配置されているものとする。

【0158】

ステップ S 11 で、演算部 113 は、その入力プロセスパケット P P b に配置された命令をデコードし、ステップ S 12 に進む。ステップ S 12 では、演算部 113 は、ステップ S 11 でデコードした命令の実行が可能かどうか、ここでは、入力プロセスパケット P P b に配置されている読み出しアドレスが、演算処理ユニット 102_n が有するメモリ 120_n のアドレスかどうかを判定する。

【0159】

演算部 113 は、ステップ S 12 でプロセスパケットに配置されている読み出しアドレスが、演算処理ユニット 102_n が有するメモリ 120_n のアドレスでないと判定するとき、ステップ S 13 ~ S 15 をスキップして、ステップ S 16 に進み、要求信号 s₂ を「1」にする。そして、演算部 113 は、ステップ S 17 で、入力プロセスパケット P P b をそのまま出力すべきプロセスパケット P P c として出力し、その後ステップ S 18 で、要求信号 s₂ を「0」に戻し、処理を終了する。

【0160】

また、演算部 113 は、ステップ S 12 でプロセスパケットに配置されている読み出しアドレスが、演算処理ユニット 102_n が有するメモリ 120_n のアドレスであると判定するとき、ステップ S 13 に進み、その入力プロセスパケット P P b と同一のプロセスパケットが過去に入力され、処理済みであるか否かを判定する。演算部 113 は処理済みであると判定するとき、その入力プロセスパケット P P b に関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケット P P b は不要なプロセスパケットであり、演算部 113 は、この入力プロセスパケット P P b に対応したプロセスパケットを出力することはない。

【0161】

また、演算部 113 は、ステップ S 13 で処理済みでないと判定するとき、ステップ S 14 に進み、入力プロセスパケット P P b に配置された命令を実行する

。つまり、演算部 113 は、メモリ 120_n から画像データを読み出し、その画像データを入力プロセスパケット PPb に配置し、ステップ S15 に進む

ステップ S15 では、演算部 113 は、ステップ S14 で行った処理に対応して、必要に応じて、入力プロセスパケット PPb の状態部を書き換え、ステップ S16 に進む。

【0162】

ステップ S16 では、演算部 113 は、要求信号 s₂ を「1」にする。そして、演算部 113 は、ステップ S17 で、ステップ S14, S15 で変更された入力プロセスパケット PPb を出力すべきプロセスパケット PPc として出力し、その後ステップ S18 で、要求信号 s₂ を「0」に戻し、処理を終了する。

【0163】

次に、図 11 のフローチャートを参照して、図 5 の演算処理ユニット 102_n の演算部 113 に差分絶対値和演算命令を有するプロセスパケット PPb が入力された場合における、当該演算部 113 が行う処理（プロセス実行処理）について説明する。

【0164】

なお、この場合、メモリ 120 には、既に、差分絶対値和の演算対象である注目ブロックと候補ブロックの画像データが少なくとも書き込まれているものとする。さらに、入力プロセスパケット PPb には、差分絶対値和演算命令の他、メモリ 120 に記憶された注目ブロックと候補ブロックのアドレス、候補ブロックから注目ブロックに向かう候補ベクトルが、少なくとも配置されているものとする。

【0165】

ステップ S11 で、演算部 113 は、その入力プロセスパケット PPb に配置された命令をデコードし、ステップ S12 に進む。ステップ S12 では、演算部 113 は、ステップ S11 でデコードした命令の実行が可能かどうか、ここでは、注目ブロックまたは候補ブロックのうちの少なくとも一方の画素が、演算処理ユニット 102_n が有するメモリ 120_n に記憶されているかどうかを判定する。

【0166】

ここで、注目ブロックの画素が、演算処理ユニット102_nが有するメモリ120_nに記憶されているかどうかは、入力プロセスパケットPPbに配置された注目ブロックのアドレスから判定することができる。候補ブロックの画素が、演算処理ユニット102_nが有するメモリ120_nに記憶されているかどうかは、入力プロセスパケットPPbに配置された候補ブロックのアドレスから判定することができる。

【0167】

演算部113は、ステップS12で注目ブロックおよび候補ブロックのうちのいずれも、演算処理ユニット102_nが有するメモリ120_nに記憶されていないと判定するとき、ステップS13～S15をスキップして、ステップS16に進み、要求信号s₂を「1」にする。そして、演算部113は、ステップS17で、入力プロセスパケットPPbをそのまま出力すべきプロセスパケットPPcとして出力し、その後ステップS18で、要求信号s₂を「0」に戻し、処理を終了する。

【0168】

また、演算部113は、ステップS12で注目ブロックまたは候補ブロックのうちの少なくとも一方の画素が、演算処理ユニット102_nが有するメモリ120_nに記憶されていると判定するとき、ステップS13に進み、その入力プロセスパケットPPbと同一のプロセスパケットが過去に inputs され、処理済みであるか否かを判定する。演算部113は処理済みであると判定するとき、その入力プロセスパケットPPbに関しては何も処理を行わず、処理を終了する。この場合、入力プロセスパケットPPbは不要なプロセスパケットであり、演算部113は、この入力プロセスパケットPPbに対応したプロセスパケットを出力することはない。

【0169】

また、演算部113は、ステップS13で処理済みでないと判定するとき、ステップS14に進み、入力プロセスパケットPPbに配置された命令を実行する。

【0170】

すなわち、まず最初に、ステップ S 2 1 において、演算部 1 1 3 は、注目ブロックの画素が、演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されているかどうかを判定する。演算部 1 1 3 は、ステップ S 2 1 で注目ブロックの画素が演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されていないと判定するとき、ステップ S 2 2 をスキップして、ステップ S 2 3 に進む。

【0171】

一方、演算部 1 1 3 は、ステップ S 2 1 で注目ブロックの画素が演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されていると判定するとき、ステップ S 2 2 に進み、メモリ 1 2 0_n に記憶されている注目ブロックの画素を読み出し、入力プロセスパケット P P b に配置して、ステップ S 2 3 に進む。

【0172】

ステップ S 2 3 では、演算部 1 1 3 は、候補ブロックの画素が演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されているかどうかを判定する。演算部 1 1 3 は、ステップ S 2 3 で候補ブロックの画素が演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されていないと判定するとき、ステップ S 2 4 をスキップして、ステップ S 2 5 に進む。

【0173】

一方、演算部 1 1 3 は、ステップ S 2 3 で候補ブロックの画素が演算処理ユニット 1 0 2_n が有するメモリ 1 2 0_n に記憶されていると判定するとき、ステップ S 2 4 に進み、メモリ 1 2 0_n に記憶されている候補ブロックの画素を読み出し、入力プロセスパケット P P b に配置して、ステップ S 2 5 に進む。

【0174】

ステップ S 2 5 では、演算部 1 1 3 は、差分絶対値和の計算が可能かどうかを判定する。この場合、演算部 1 1 3 は、入力プロセスパケット P P b に、注目ブロックの画素が配置されており、かつ、その注目ブロックの画素に対応する候補ブロックの画素も配置されているかどうかによって、差分絶対値和の計算が可能かどうかを判定する。

【0175】

演算部 1 1 3 は、ステップ S 2 5 で差分絶対値和の計算が可能でないと判定す

るとき、すなわち入力プロセスパケット P P b に、注目ブロックの画素が配置されていないか、または配置されていても、その注目ブロックの画素に対応する候補ブロックの画素が配置されていない場合、ステップ S 2 6 をスキップし、これにより、差分絶対値和演算命令の実行を終了して、ステップ S 1 5 に進む。

【0176】

一方、演算部 113 は、ステップ S 2 5 で差分絶対値和の計算が可能であると判定するとき、すなわち入力プロセスパケット P P b に、注目ブロックの画素が配置されており、かつ、その注目ブロックの画素に対応する候補ブロックの画素も配置されている場合、ステップ S 2 6 に進み、入力プロセスパケット P P b に配置されている注目ブロックの画素それぞれと、その画素に対応する候補ブロックの画素それぞれとの差分絶対値を計算し、さらに、その総和を計算する。

【0177】

そして、演算部 113 は、その差分絶対値の総和と、入力プロセスパケット P P b の差分絶対値和部に配置されている差分絶対値和とを加算し、その加算値を新たな差分絶対値和として入力プロセスパケット P P b の差分絶対値和部に書き込み、これにより、差分絶対値和演算命令の実行を終了して、ステップ S 1 5 に進む。

【0178】

ステップ S 1 5 では、演算部 113 は、ステップ S 1 4 で行った処理に対応して、必要に応じて、入力プロセスパケット P P b の状態部を書き換え、ステップ S 1 6 に進む。

【0179】

ステップ S 1 6 では、演算部 113 は、要求信号 s_2 を「1」にする。そして、演算部 113 は、ステップ S 1 7 で、ステップ S 1 4, S 1 5 で変更された入力プロセスパケット P P b を出力すべきプロセスパケット P P c として出力し、その後ステップ S 1 8 で、要求信号 s_2 を「0」に戻し、処理を終了する。

【0180】

プロセス生成部 101 は、図 3 のプロセス生成処理のステップ S 4 ~ S 7 において、差分絶対値和演算命令を有するプロセスパケット（以下、適宜、「差分絶

対値和プロセスパケット」という) を生成して出力する。この差分絶対値和プロセスパケットが、演算処理ユニット $102_1 \sim 102_{12}$ を順次移動していくことにより、注目ブロックと候補ブロックの差分絶対値和が、図 12 および図 13 に示すように求められる。

【0181】

すなわち、いま、図 12 に示すように、メモリ 120_n に、注目ブロックの一部が、メモリ 120_{n+1} に、注目ブロックの残りと候補ブロックの一部が、メモリ 120_{n+2} に、候補ブロックの残りが、それぞれ記憶されているものとする。また、演算処理ユニット 102_n の $PE110$ を、以下、適宜、「 $PE110_n$ 」と表すこととする。

【0182】

この場合、演算処理ユニット 102_n がプロセスパケットを受信すると、 $PE110_n$ は、メモリ 120_n に記憶されている注目ブロックの一部を読み出し、プロセスパケットに配置して、次段の演算処理ユニット 102_{n+1} に転送する。

【0183】

ここで、 $PE110_n$ では、図 13 に示すプロセスパケットが送受信される。なお、図 13 では、図が煩雑になるのを避けるため、プロセスパケットについて、図 13A に示すように、その先頭から、PID 部、注目ブロック読み出し状態部、候補ブロック読み出し状態部、命令部、注目ブロックアドレス部、候補ブロックアドレス部、注目ブロックデータ部、候補ブロックデータ部、差分絶対値和部だけを図示してある。

【0184】

注目ブロックおよび候補ブロックは、図 12 で説明したように、メモリ $120_n \sim 120_{n+2}$ に記憶されているから、プロセスパケットが、 $PE110_n$ で受信される前は、注目ブロックおよび候補ブロックのいずれの読み出しも行われておらず、従って、注目ブロック読み出し状態部と、候補ブロック読み出し状態部の状態情報は、図 13B に示すように、いずれも「未」になっている。さらに、この場合、注目ブロックアドレス部と候補ブロックアドレス部には、それぞれ、注目ブロックのアドレス $add1$ と候補ブロックのアドレス $add2$ がセットされている。

また、差分絶対値和部には、初期値としての0がセットされている。なお、命令部には、差分絶対値和演算命令を表す「ME」がセットされている。

【0185】

以上のようなプロセスパケットが、 $PE110_n$ に入力され、図12で説明したように処理されることにより、次のようなプロセスパケットが、 $PE110_n$ から $PE110_{n+1}$ に転送される。

【0186】

すなわち、 $PE110_n$ から $PE110_{n+1}$ に転送されるプロセスパケットには、図13Bに示すように、メモリ120_nに記憶されている注目ブロックの一部の画素data_alが、新たに配置される。さらに、 $PE110_n$ では、メモリ120_nから注目ブロックの一部の画素data_alが読み出されたことから、プロセスパケットの注目ブロック読み出し状態部の状態情報が、「未」から「中」に書き換えられる。

【0187】

演算処理ユニット102_{n+1}が、演算処理ユニット102_nからのプロセスパケットを受信すると、 $PE110_{n+1}$ は、図12に示すように、メモリ120_{n+1}に記憶されている注目ブロックの残りと、候補ブロックの一部を読み出す。ここで、演算処理ユニット102_nからのプロセスパケットには、注目ブロックの一部が配置されているから、 $PE110_{n+1}$ は、メモリ120_{n+1}から読み出した注目ブロックの残りと合わせて、注目ブロック全体の画素を取得することになる。

【0188】

$PE110_{n+1}$ は、注目ブロック全体の画素と、メモリ120_{n+1}から読み出した候補ブロックの一部の画素とを用いて計算可能な差分絶対値和を求め、プロセスパケットに配置する。さらに、 $PE110_{n+1}$ は、差分絶対値和の演算に用いられなかった注目ブロックの画素を、プロセスパケットに配置し、次段の演算処理ユニット102_{n+2}に転送する。

【0189】

すなわち、 $PE110_{n+1}$ から $PE110_{n+2}$ に転送されるプロセスパケットに

は、図 13B に示すように、注目ブロックの画素のうち、差分絶対値和の演算に用いられなかった画素 $data_a2$ が、注目ブロックデータ部の画素 $data_a1$ に代えて配置されるとともに、 $PE110_{n+1}$ で求められた差分絶対値和 $sum1$ が、差分絶対値和部の初期値 0 に代えて配置される。さらに、 $PE110_{n+1}$ では、注目ブロックの画素のすべてが取得されるとともに、候補ブロックの一部の画素が取得されたことから、プロセスパケットの注目ブロック読み出し状態部の状態情報が「中」から「終」に書き換えられると共に、候補ブロック読み出し状態部の状態情報は、「未」から「中」に書き換えられる。

【0190】

演算処理ユニット 102_{n+2} が、演算処理ユニット 102_{n+1} からのプロセスパケットを受信すると、 $PE110_{n+2}$ は、図 12 に示すように、メモリ 120_{n+2} に記憶されている候補ブロックの残りを読み出す。

【0191】

$PE110_{n+2}$ は、メモリ 120_{n+2} から読み出した候補ブロックの残りの画素と、プロセスパケットに配置されている注目ブロックの画素とを用いて計算可能な差分絶対値和を求め、プロセスパケットに配置されている差分絶対値和と加算する。そして、 $PE110_{n+2}$ は、その加算値を、新たな差分絶対値和として、プロセスパケットに上書きする形で配置し、次段の演算処理ユニット 102_{n+3} (図示せず) に転送する。

【0192】

すなわち、 $PE110_{n+2}$ では、注目ブロックと候補ブロックのすべての画素についての差分絶対値和 $sum2$ が求められるから、 $PE110_{n+2}$ から $PE110_{n+3}$ (図示せず) に転送されるプロセスパケットには、図 13B に示すように、その差分絶対値和 $sum2$ が、差分絶対値和部の差分絶対値和 $sum1$ に代えて配置される。また、プロセスパケットにおいて注目ブロックデータ部に配置されていた注目ブロックの画素 $data_a2$ は、すべて、差分絶対値和の計算に用いられるから、注目ブロックデータ部から、注目ブロックの画素 $data_a2$ が削除される。さらに、 $PE110_{n+2}$ では、候補ブロックの残りの画素が取得されたことから、プロセスパケットの候補ブロック読み出し状態部の状態情報が、「中」から「終」に書

き換えられる。

【0193】

この場合、プロセスパケットが、 $PE110_{n+2}$ から出力される時点で、そのプロセスパケットには、注目ブロックと候補ブロックのすべての画素についての差分絶対値和 $sum2$ が配置されている。したがって、演算処理ユニット 102_{n+3} 以降では、プロセスパケットは、単に転送されていき、最終的に、集計部 103 （図1参照）で受信される。

【0194】

次に、集計部 103 の詳細を説明する。集計部 103 も、演算処理ユニット 102_n と同様に構成されている。すなわち、集計部 103 は、 $PE110$ とメモリ 120 で構成されている。ただし、集計部 103 は、演算処理ユニット 102_n と異なる構成とすることも可能であるが、演算処理ユニット 102_n と同一構成とした方が、動きベクトル検出装置 100 の製造コストを低く抑えることができる。

【0195】

プロセス生成部 101 では、図3のステップ $S4 \sim S6$ の処理によって、注目ブロックの探索範囲内に選択しうる候補ベクトルすべてについて、差分絶対値和を演算するための差分絶対値和演算プロセスが生成されるが、このプロセスに対応するプロセスパケットの全てが集計部 103 で受信されると、集計部 103 は、注目ブロックの探索範囲内に選択し得る候補ベクトルの全てについて、差分絶対値和を取得する。

【0196】

プロセス生成部 101 では、図3のステップ $S4 \sim S6$ の処理の後、ステップ $S7$ および $S8$ において、最小値判定プロセスが生成され、最小値判定命令を含むプロセスパケットが出力される。このプロセスパケットは、演算処理ユニット $102_1 \sim 102_{12}$ を経由して、集計部 103 で受信される。集計部 103 は、最小値判定命令を含むプロセスパケットを受信すると、それまでに受信した、差分絶対値和演算プロセスに対応するプロセスパケットから、最小の差分絶対値和が配置されているものを選択し、さらに、そのプロセスパケットに配置されてい

る候補ベクトルを、注目ブロックの動きベクトルとして出力する。

【0197】

以上説明したように、上述の実施の形態においては、 $PE110_n$ とメモリ120_nからなる複数の演算処理ユニット102_nを一次元的に接続し、その複数の演算処理ユニット102_nにおいて、命令と必要なデータが配置されたプロセス packets を転送（移動）させることにより、動きベクトルを検出するための処理を行うようにしたので、長いデータバスを駆動する際の問題としての、例えば配線遅延や配線間のクロストーク、反射の影響などを回避できる。

【0198】

すなわち、 $PE110_n$ とメモリ120_nとの間や、演算処理ユニット102_nどうしを結ぶデータバスは、短くて済むので、長いデータバスを駆動する際の問題を回避できる。したがって、動きベクトル検出装置の設計にあたり、長いデータバスを駆動する際の問題を考慮する必要がないので、設計容易なハードウェアによって、動きベクトルを検出できる。

【0199】

また、上述実施の形態においては、12個の演算処理ユニット102₁～102₁₂が4個の連続する演算処理ユニットの組に分けられ、各組102_a～102_cの入力側にそれぞれルート選択部104₁～104₃が挿入される。そして、ルート選択部104₁～104₃のそれぞれは、入力プロセス packets に係るプロセスを実行する演算処理ユニット102_nが直後に位置する組102_a～102_cに存在しないときは、当該入力プロセス packets を、その組102_a～102_cの入力側に供給するのではなく、その組の出力側に供給する。

【0200】

したがって、プロセス packets が、そのプロセス packets に係るプロセスを実行するための演算処理ユニット102_nが存在しない組をバイパスして移動していくので、処理時間を短縮でき、またプロセス packets の無駄な移動がなくなるので、消費電力を低減できる。

【0201】

また、上述実施の形態において、演算処理ユニット102_nでは、演算部11

3がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものでないとき、切換スイッチ116はB側に接続される。したがって、そのプロセスパケットPPaは、直ちに切換スイッチ116のB側を介して、後段の演算処理ユニット（またはルート選択部、または集計部）に出力プロセスパケットとして供給されるので、処理時間を短縮できる。

【0202】

また、演算部113がプロセスパケットPPbの処理を行っており、かつFIFOメモリ111より出力されるプロセスパケットPPaに係るプロセスがこの演算処理ユニット102_nで実行されるものであるとき、切換スイッチ116はOFF側に接続される。この場合、後段の演算処理ユニット（またはルート選択部、または集計部）には、ハイレベル「1」またはローレベル「0」のデータが供給される。これにより、後段に、誤ったプロセスパケット、例えばFIFOメモリ111より出力されるプロセスパケットPPaが供給されることを防止できる。

【0203】

なお、上述実施の形態においては、この発明を動きベクトル検出装置に適用したものであるが、この発明は画像データを取り扱うその他の画像処理を行うものにも同様に適用できる。例えば、上述した動きベクトル検出装置と同様に画像データの差分演算を行い、その差分演算結果に基づいて参照フィールドに所定の画像あるいは文字が存在するかを検索する装置にも良好に適用できる。

【0204】

また、上述においてフローチャートを参照して説明した処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。

【0205】

【発明の効果】

この発明によれば、画像処理を行うための各プロセスを実行する命令を含むプ

ロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにおいて、所定数の連続する実行手段の組毎に、その入力側にルート選択手段を挿入し、ルート選択手段は、入力プロセスデータに係るプロセスを直後に位置する組を構成する実行手段で実行しないときは、当該入力プロセスデータを当該直後に位置する組の出力側に供給するものであり、処理時間の短縮および消費電力の低減を図ることができる。

【0206】

また、この発明によれば、画像処理を行うための各プロセスを実行する命令を含むプロセスデータを、プロセスを実行する直列接続された複数個の実行手段を移動させていって画像処理を行うものにおいて、実行手段は、入力プロセスデータに係るプロセスを自己が実行しないときは、当該入力プロセスデータをそのまま出力プロセスデータとして出力するものであり、処理時間の短縮を図ることができる。

【図面の簡単な説明】

【図1】

実施の形態としての動きベクトル検出装置の構成を示すブロック図である。

【図2】

プロセスパケットのフォーマットを示す図である。

【図3】

プロセス生成処理を説明するためのフローチャートである。

【図4】

ルート選択部の構成例を示すブロック図である。

【図5】

演算ユニットの構成例を示すブロック図である。

【図6】

判定信号 s_1 、要求信号 s_2 と切換スイッチの切り換えの関係を示す図である。

【図7】

演算部のプロセス実行処理を説明するフローチャートである。

【図8】

演算部のプロセス実行処理（書き込み命令の場合）を説明するための図である。

【図 9】

メモリに画像データが書き込まれた状態を示す図である。

【図 10】

演算部のプロセス実行処理（読み出し命令の場合）を説明するための図である。

【図 11】

演算部のプロセス実行処理（差分絶対値和演算命令の場合）を説明するための図である。

【図 12】

演算処理ユニットの処理を説明するための図である。

【図 13】

プロセスパケットの変化を示す図である。

【図 14】

ブロックマッチング法を説明する図である。

【図 15】

ブロックマッチング法を説明する図である。

【図 16】

従来の動きベクトル検出装置の一例の構成を示すブロック図である。

【図 17】

従来の動きベクトル検出装置の他の一例の構成を示すブロック図である。

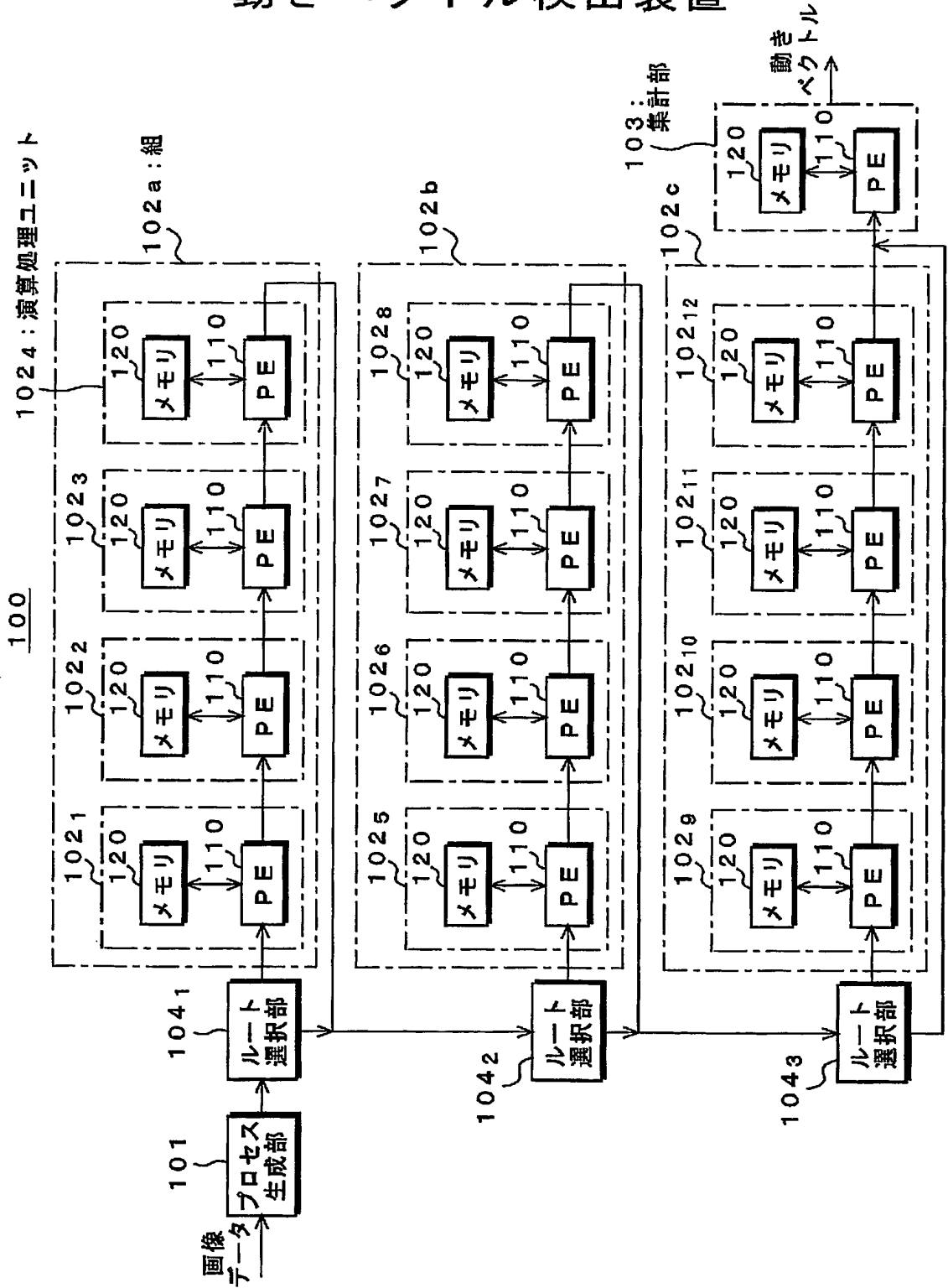
【符号の説明】

100・・・動きベクトル検出装置、101・・・プロセス生成部、102₁～102₁₂, 102_n・・・演算処理ユニット、102_a～102_c・・・組、103・・・集計部、104₁～104₃, 104_n・・・ルート選択部、111, 112・・・FIFOメモリ、113・・・演算部、114・・・アドレス記憶部、115・・・アドレス記憶部、116・・・切換スイッチ、117・・・切り換え制御部、118・・・遅延回路、120・・・メモリ、131・・・F

I F O メモリ、 1 3 2 . . . アドレス記憶部、 1 3 3 . . . アドレス判定部、 1
3 4 . . . 切換スイッチ、 1 3 5 . . . 遅延回路

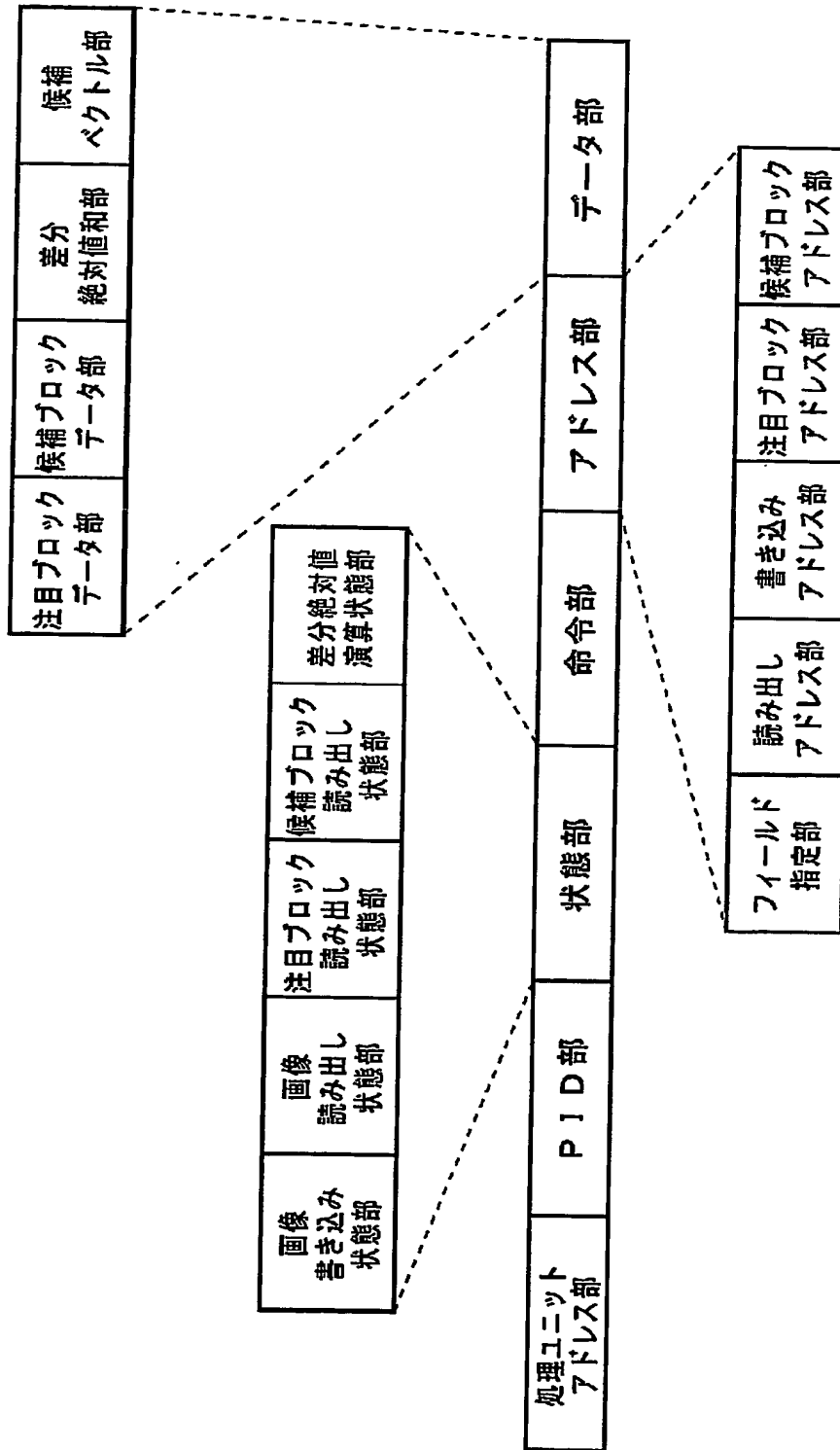
【書類名】 図面
【図 1】

動きベクトル検出装置



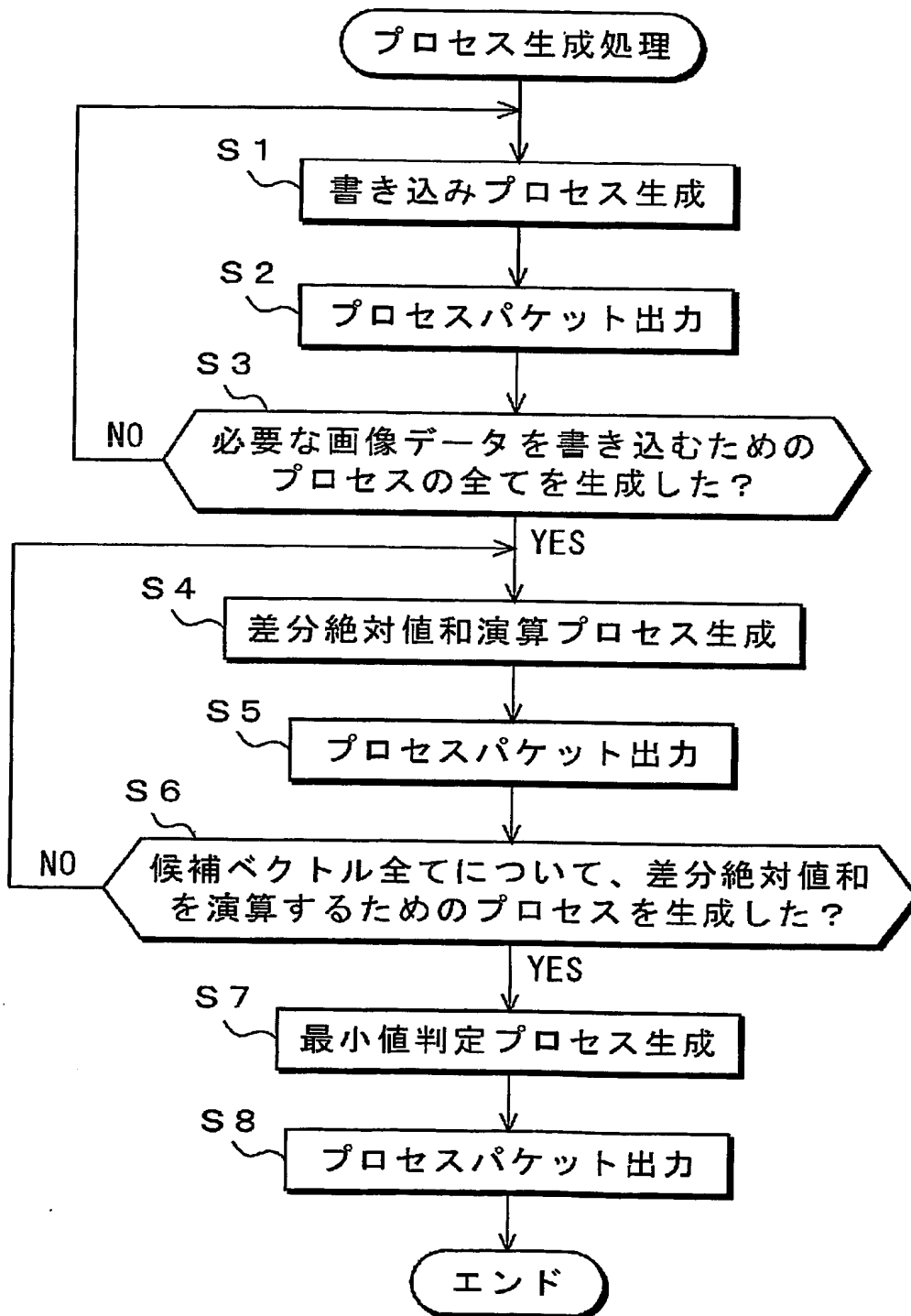
【図 2】

プロセスパケットのフォーマット



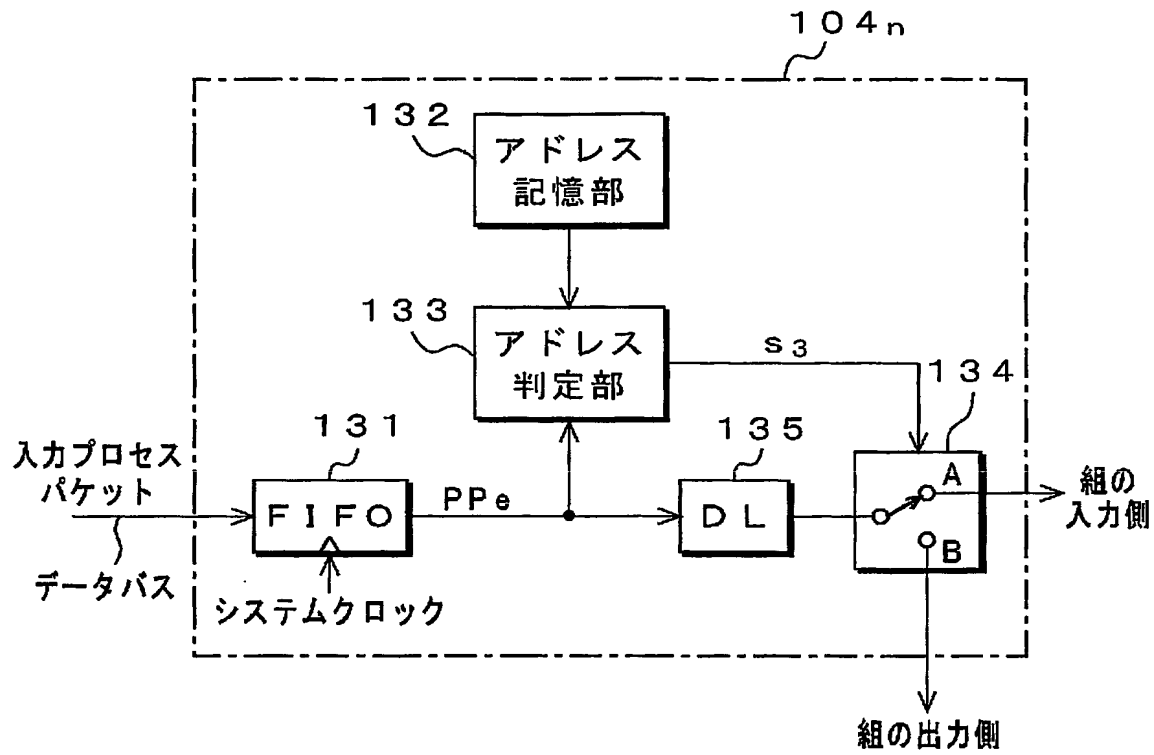
【図3】

プロセス生成処理



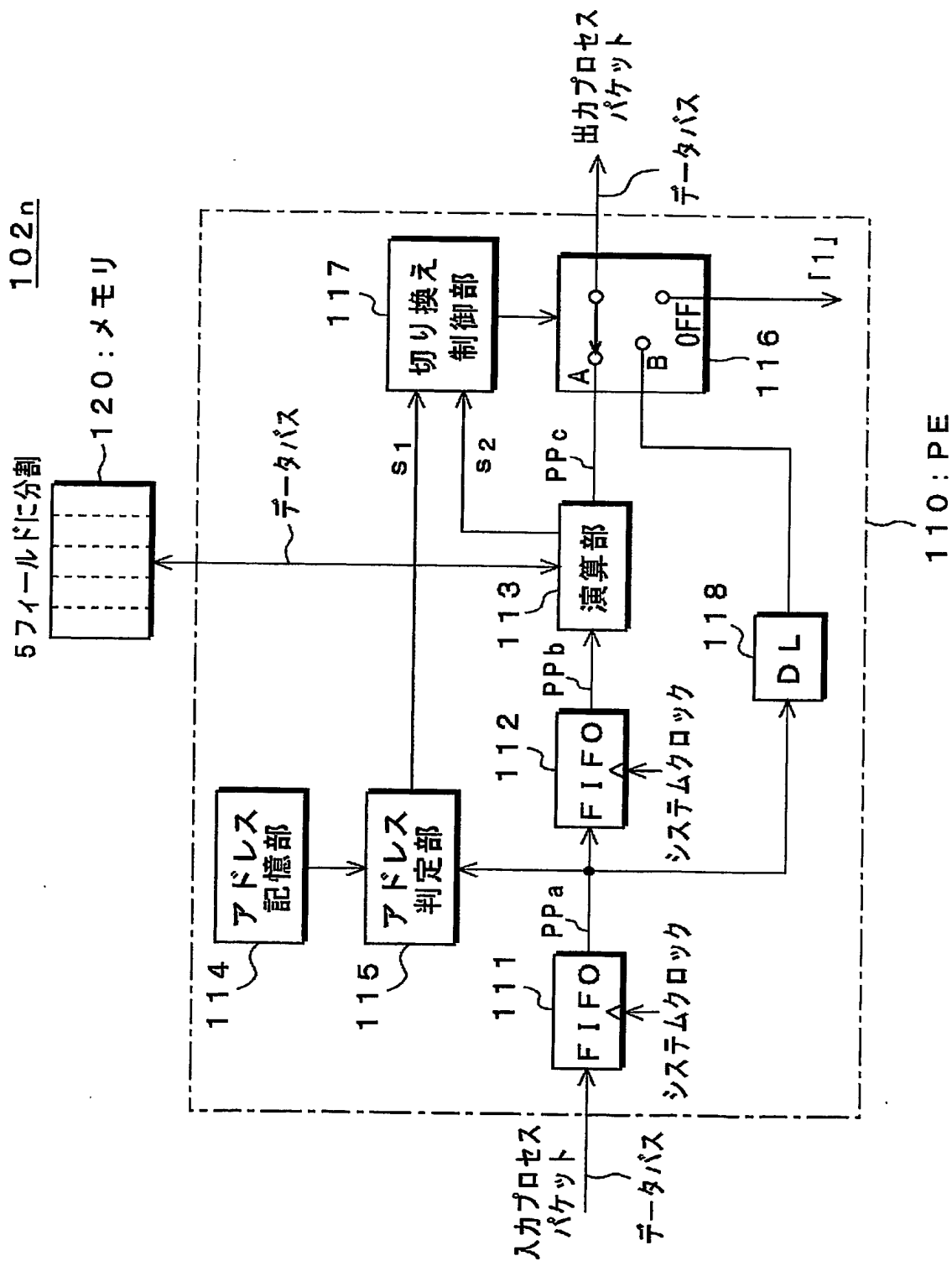
【図 4】

ルート選択部



【図 5】

演算処理ユニット



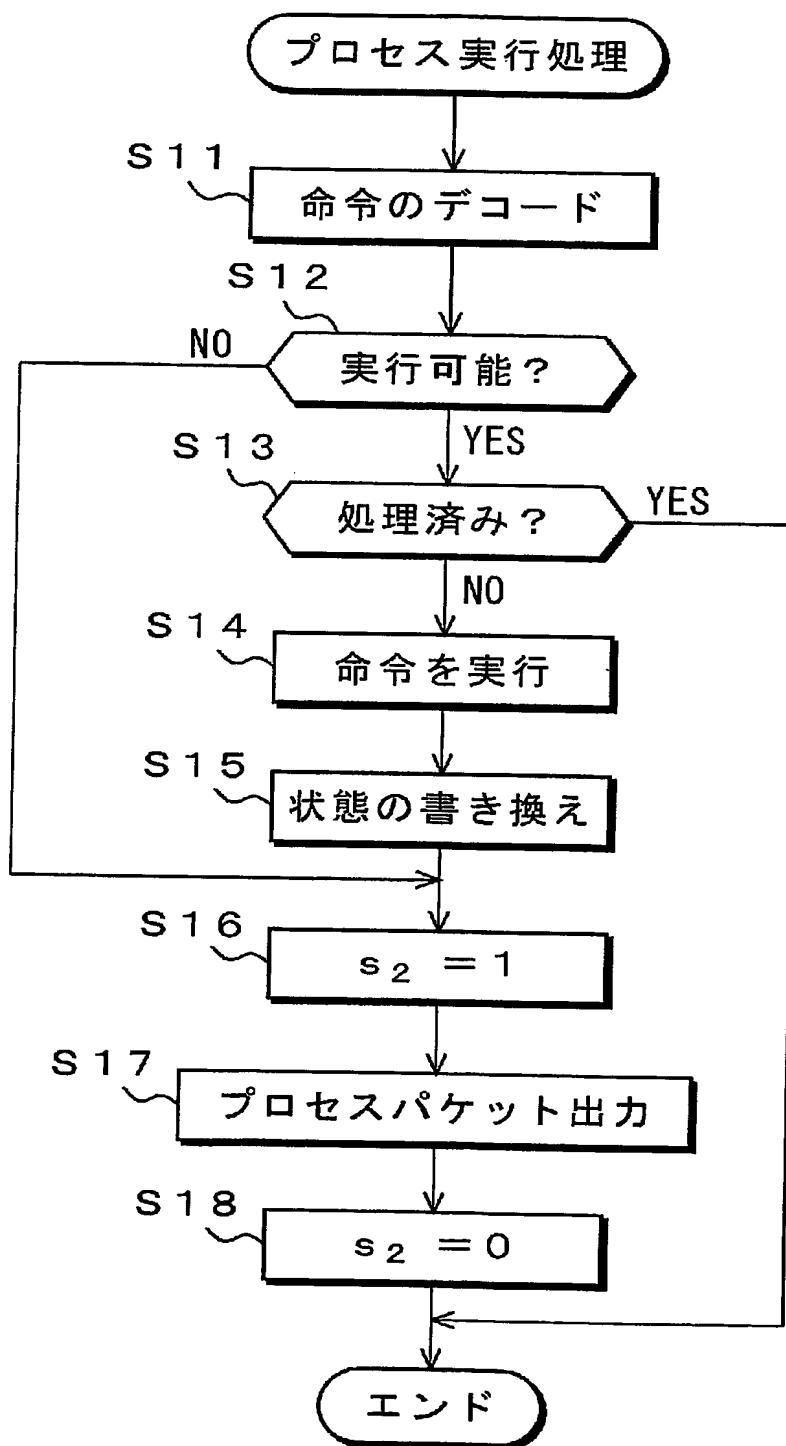
【図 6】

判定信号 s_1 、要求信号 s_2 と切り換えスイッチの切り換え

判定信号 s_1	要求信号 s_2	切換スイッチ 116
0	0	B
0	1	A
1	0	OFF
1	1	A

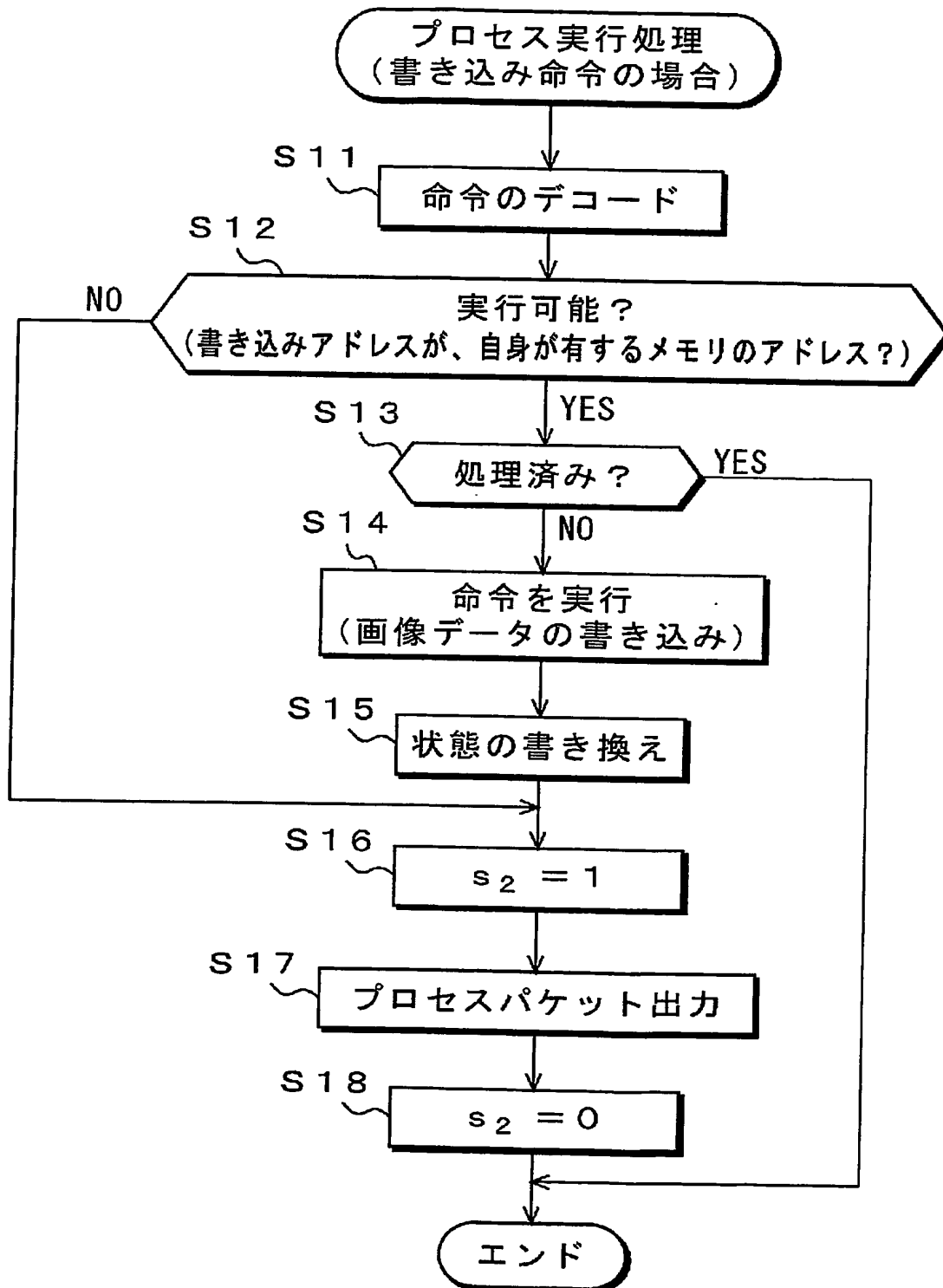
【図 7】

演算部のプロセス実行処理



【図8】

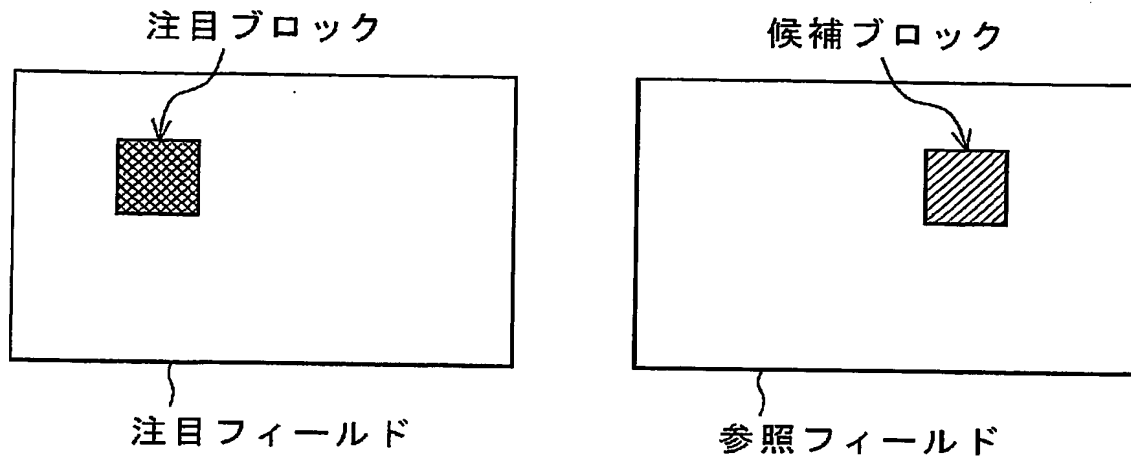
演算部のプロセス実行処理



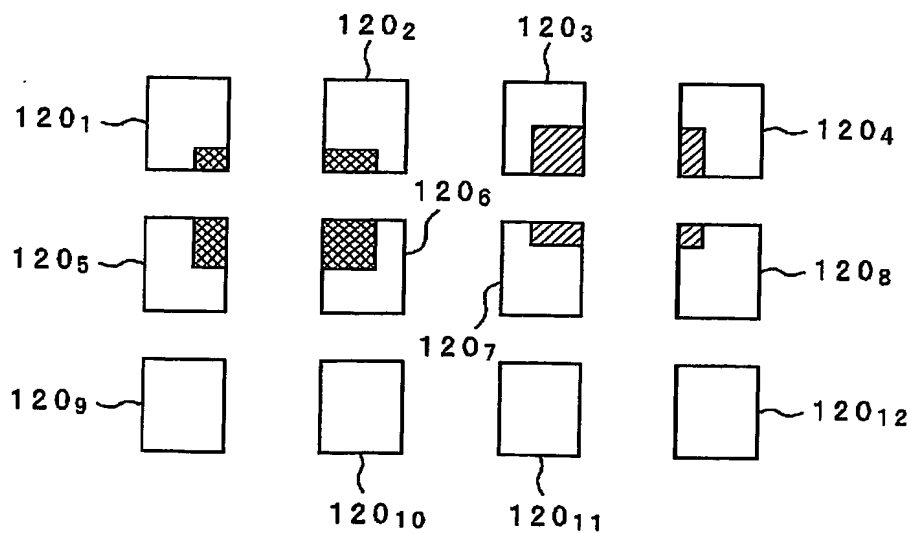
【図 9】

メモリに画像データが書き込まれた状態

A

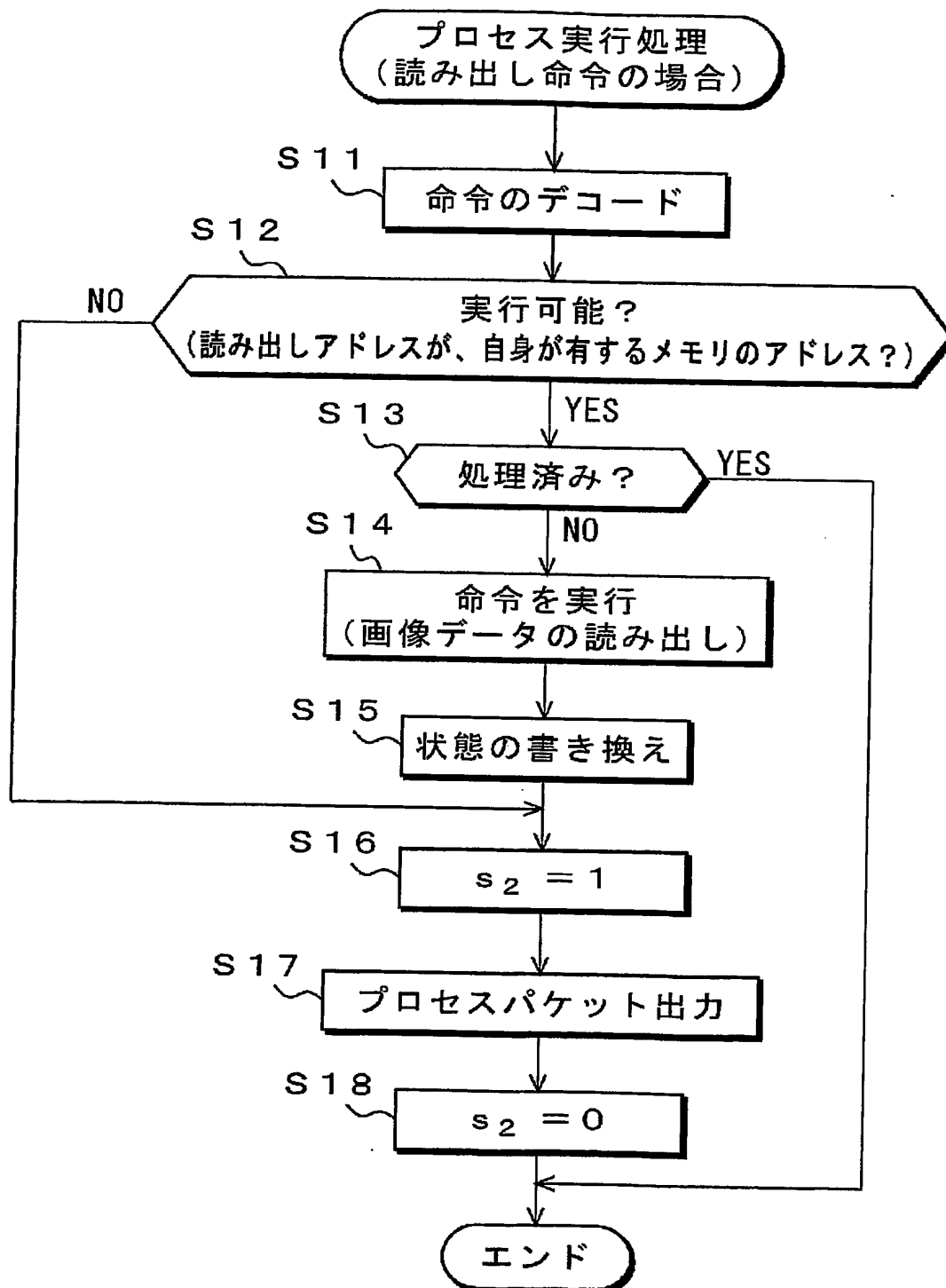


B



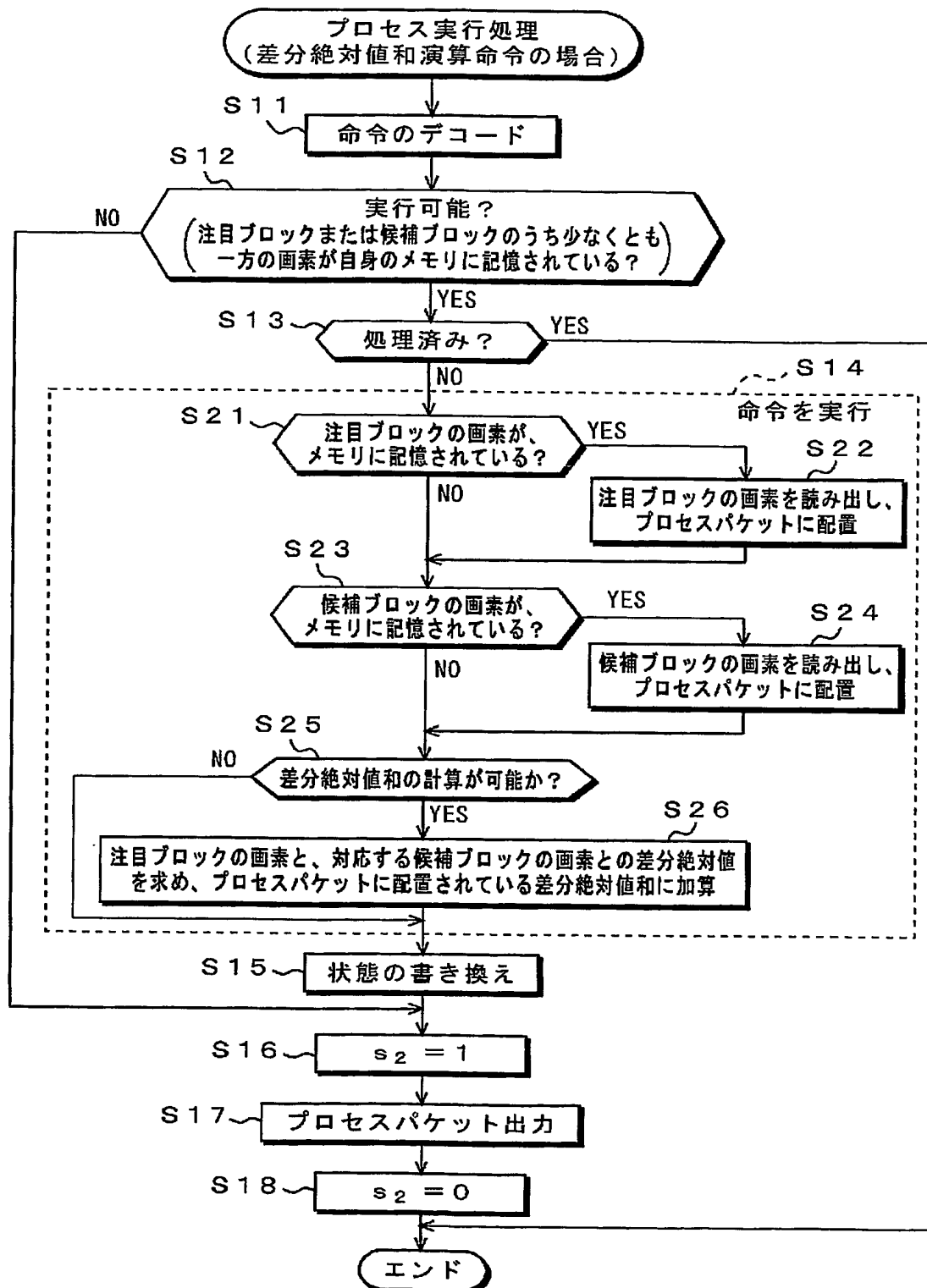
【図10】

演算部のプロセス実行処理



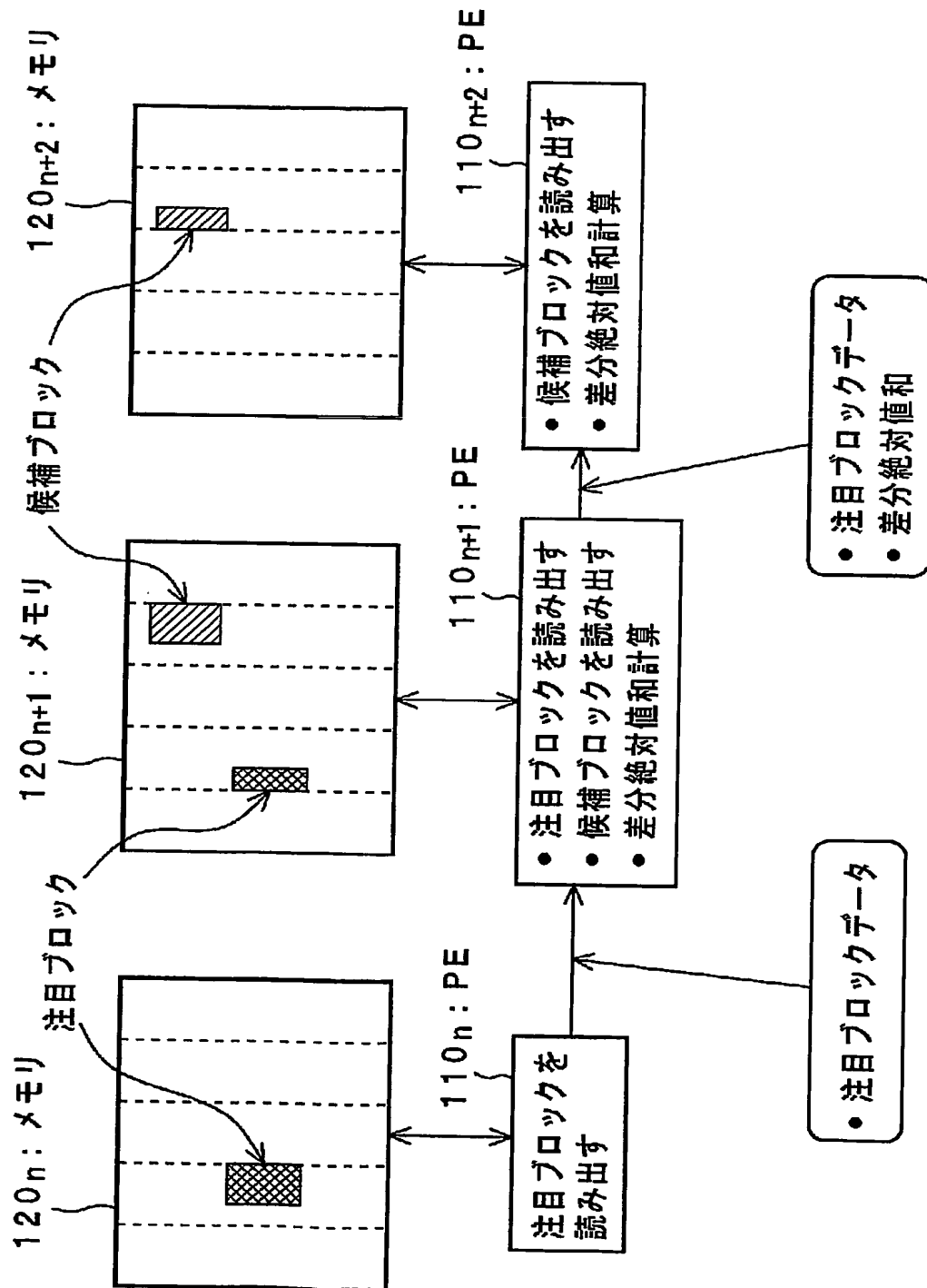
【図 11】

演算部のプロセス実行処理



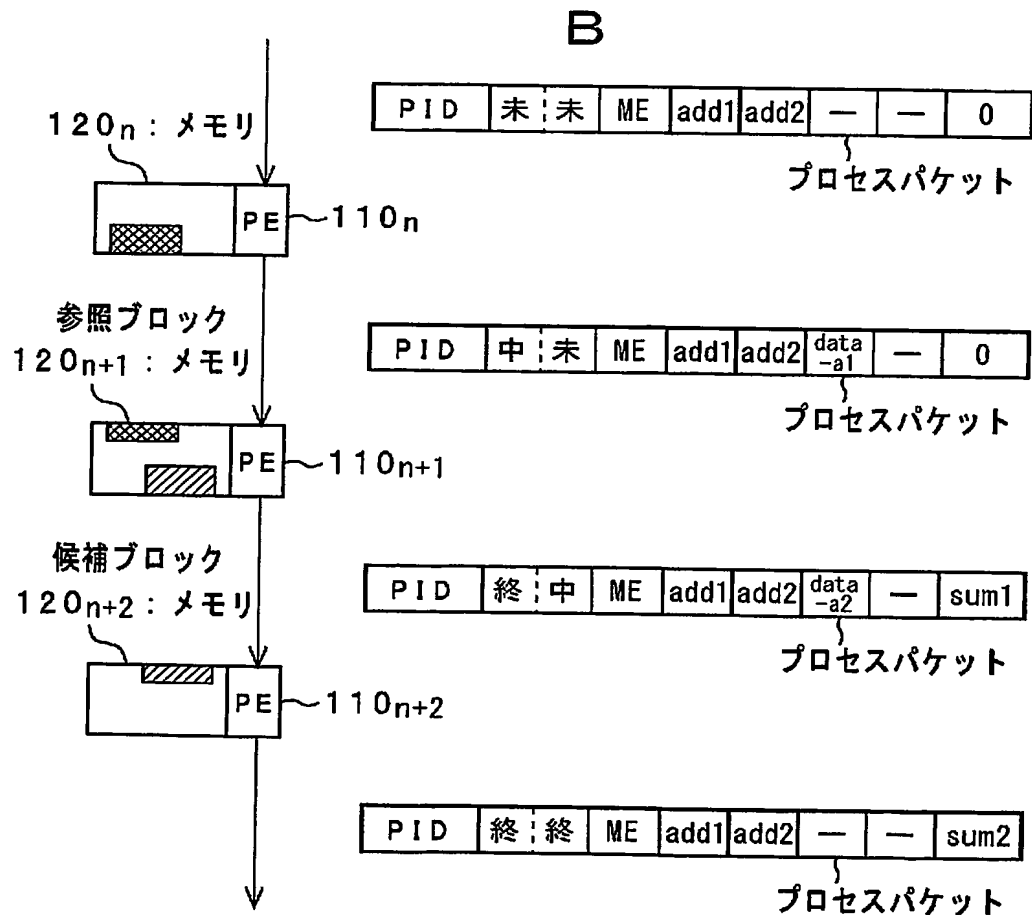
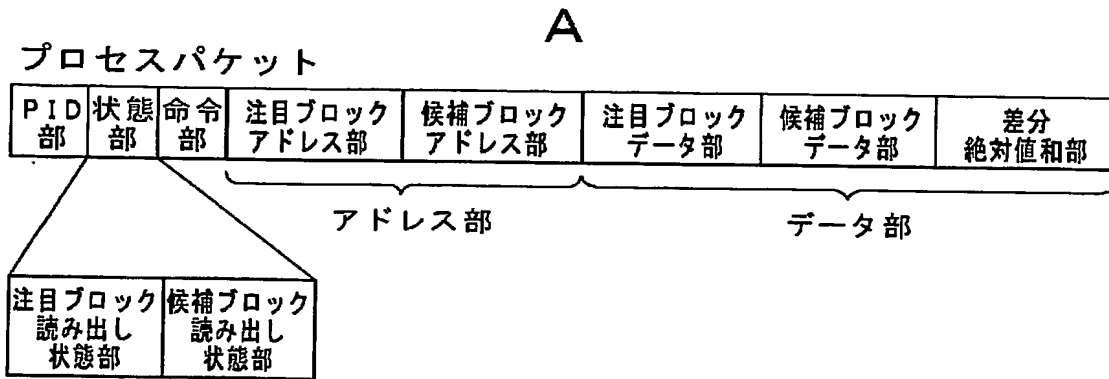
【図 12】

演算処理ユニットの処理



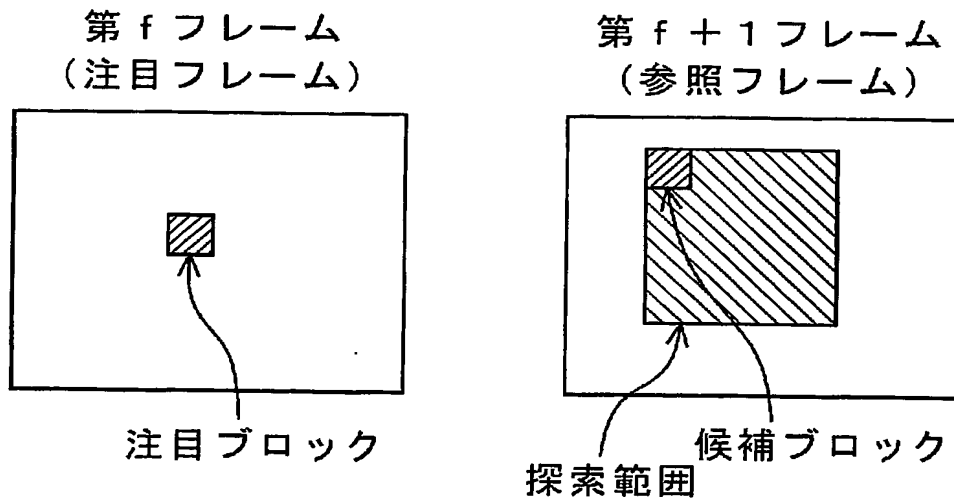
【図 13】

プロセスパケット



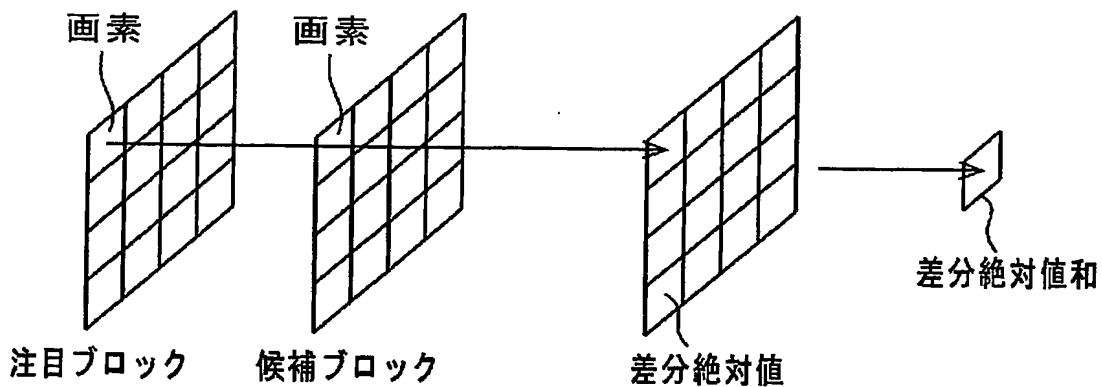
【図14】

ブロックマッチング法



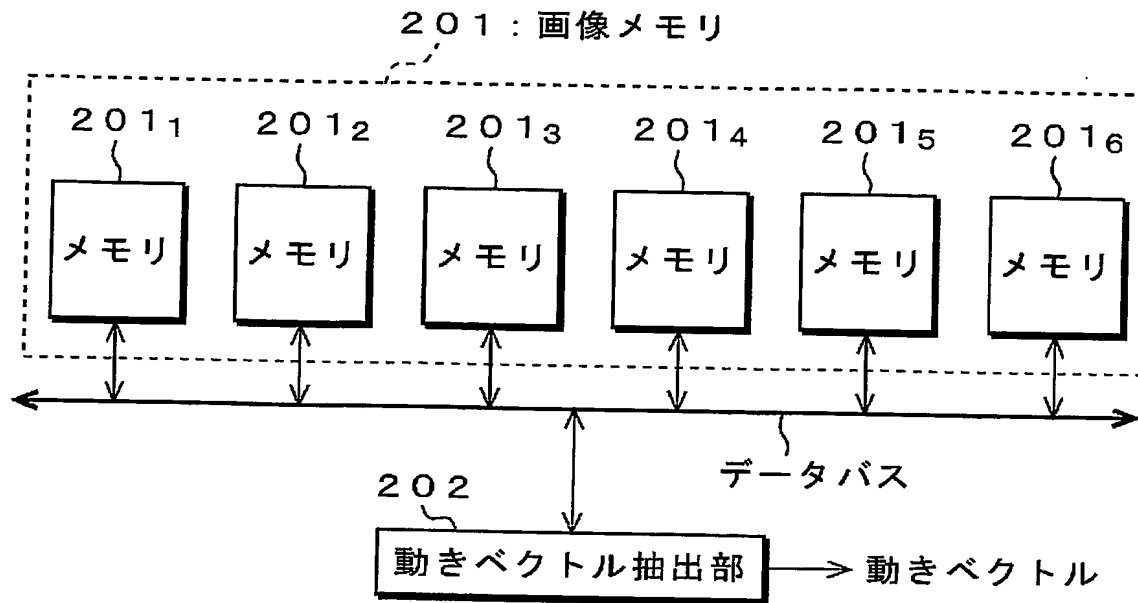
【図15】

ブロックマッチング法



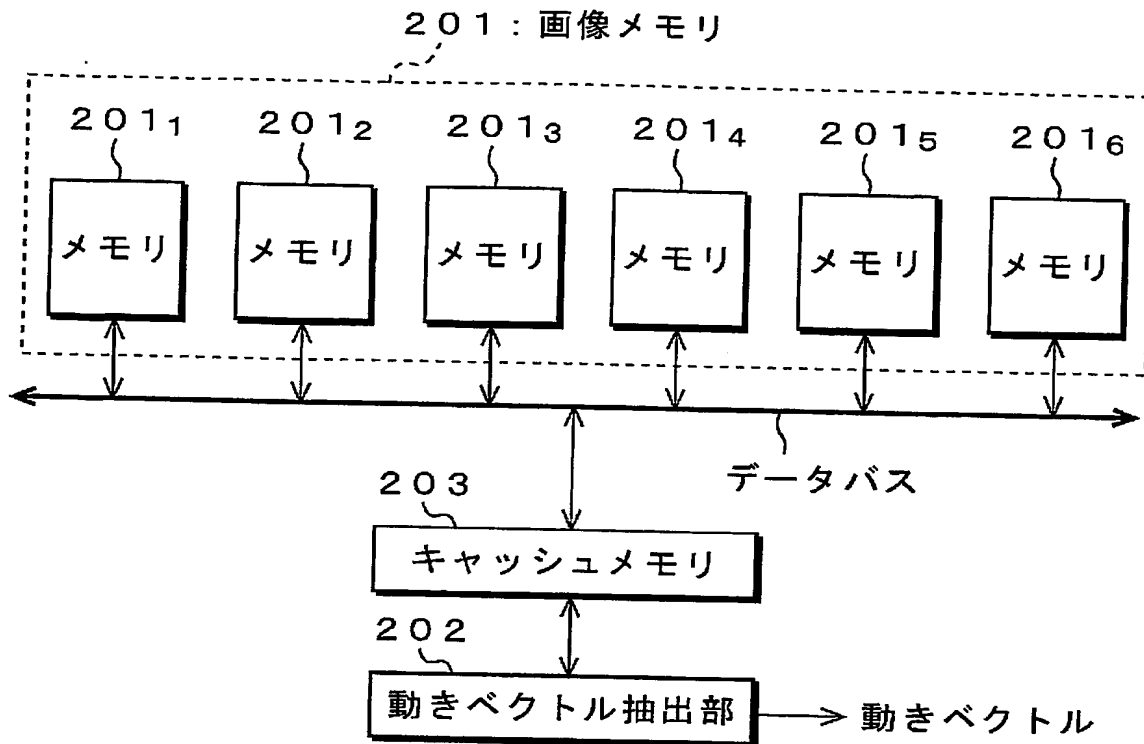
【図 16】

従来の動きベクトル検出装置



【図 17】

従来の動きベクトル検出装置



【書類名】 要約書

【要約】

【課題】 処理時間を短縮し、また消費電力を低減する。

【解決手段】 演算処理ユニット 102_n ($n=1\sim 12$) は、プロセス生成部 101 より出力されるプロセスパケットを受信し、そのプロセスパケットに含まれる命令に従った処理を行う。ユニット $102_1\sim 102_{12}$ を 3 つの組 $102_a\sim 102_c$ に分け、各組の入力側にルート選択部 $104_1\sim 104_3$ を挿入する。ルート選択部 $104_1\sim 104_3$ の夫々は、入力プロセスパケットに係るプロセスを実行するユニットが、直後に位置する組 $102_a\sim 102_c$ に存在しないときは、当該入力プロセスパケットを、その組の入力側に供給するのではなく、その組の出力側に供給する。プロセスパケットは、そのプロセスパケットに係るプロセスを実行するためのユニットが存在しない組をバイパスして移動していく。

【選択図】 図 1

特願 2 0 0 2 - 3 7 4 8 6 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社